

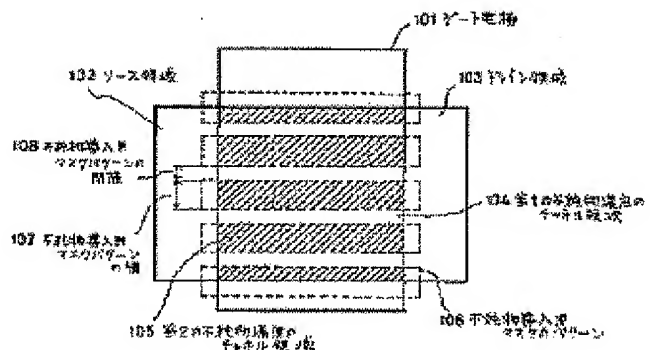
## SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

**Patent number:** JP8274330  
**Publication date:** 1996-10-18  
**Inventor:** MIYAGI MASAKI; KONISHI HARUO; KUBO KAZUAKI;  
KOJIMA YOSHIKAZU; SHIMIZU TORU; SAITO  
YUTAKA; MACHIDA TORU; KANEKO TETSUYA  
**Applicant:** SEIKO INSTR INC  
**Classification:**  
- international: *H01L29/43; H01L21/265; H01L21/336; H01L21/8234;  
H01L27/088; H01L29/423; H01L29/49; H01L29/78;  
H01L29/786; H01L29/40; H01L21/02; H01L21/70;  
H01L27/085; H01L29/66; (IPC1-7): H01L29/78;  
H01L29/43*  
- european:  
**Application number:** JP19950113447 19950511  
**Priority number(s):** JP19950113447 19950511; JP19950015419 19950201;  
JP19950015421 19950201; JP19940122872 19940603

[Report a data error here](#)

### Abstract of JP8274330

**PURPOSE:** To easily obtain transistors, having a plurality of threshold values, inside an identical integrated semiconductor device by forcing a channel region having different surface reverse voltages. **CONSTITUTION:** First impurity concentration channel regions 104 and second impurity concentration channel regions 105 are formed in a plurality of rectangular shapes in a direction parallel to a channel length. When mask pattern widths 107 for impurity introduction and their intervals 108 are combined, the area ratio of the second impurity concentration channel regions to the whole face of a channel region is decided to a desired value. Then, the second impurity concentration channel regions are formed generally in a channel doping process, their impurity concentration is changed by a later heat treatment, and their depth is formed to be shallower than the junction depth of at least a source region 102 and a drain region 103. Consequently, when the depth of the second impurity concentration channel regions is made shallower than the depth of a depletion layer generated on the surface of a substrate at a time when an electric field is applied to a gate electrode, a MOSFET whose control voltage is high can be realized at low costs.



**Family list****11** family members for: **JP8274330**

Derived from 7 applications

- 1 Semiconductor device and manufacturing method thereof**  
**Inventor:** MIYAGI MASANORI (JP); KONISHI HARUO **Applicant:** SEIKO INSTR INC (JP)  
(JP); (+1)  
**EC:** H01L29/786S; H01L21/322B10; (+5) **IPC:** H01L21/322; H01L21/336; H01L21/8234  
(+10)  
**Publication info:** **CN1089949C C** - 2002-08-28  
**CN1140336 A** - 1997-01-15
- 2 Semiconductor device and mfg. method thereof**  
**Inventor:** MASAKI MIYAGI (JP); SHUNO KONISHI **Applicant:** SEIKO INSTR INC (JP)  
(JP); (+1)  
**EC:** H01L29/786S; H01L21/322B10; (+5) **IPC:** H01L21/322; H01L21/336; H01L21/8234  
(+12)  
**Publication info:** **CN1201407C C** - 2005-05-11  
**CN1334606 A** - 2002-02-06
- 3 Semiconductor device and manufacturing method thereof**  
**Inventor:** MASANORI MIYAGI (JP); HARUO KONISHI **Applicant:** SEIKO INSTR INC (JP)  
(JP); (+6)  
**EC:** H01L29/786S; H01L21/322B10; (+5) **IPC:** H01L21/322; H01L21/336; H01L21/8234  
(+11)  
**Publication info:** **CN1320615C C** - 2007-06-06  
**CN1607652 A** - 2005-04-20
- 4 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**  
**Inventor:** MIYAGI MASAKI; KONISHI HARUO; (+6) **Applicant:** SEIKO INSTR INC  
**EC:** **IPC:** H01L29/43; H01L21/265; H01L21/336  
(+13)  
**Publication info:** **JP3470133B2 B2** - 2003-11-25  
**JP8274330 A** - 1996-10-18
- 5 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**  
**Inventor:** KOJIMA YOSHIKAZU **Applicant:** SEIKO INSTR INC  
**EC:** **IPC:** H01L29/78; H01L21/8234; H01L27/088  
(+7)  
**Publication info:** **JP8293598 A** - 1996-11-05
- 6 Semiconductor device and manufacturing method thereof**  
**Inventor:** MIYAGI MASANORI (JP); KONISHI HARUO **Applicant:** SEIKO INSTR INC (US)  
(JP); (+6)  
**EC:** H01L29/786S; H01L21/336D2B; (+4) **IPC:** H01L21/336; H01L21/8234; H01L27/07  
(+8)  
**Publication info:** **US6306709 B1** - 2001-10-23
- 7 Semiconductor device and manufacturing method thereof**  
**Inventor:** MIYAGI MASANORI (JP); KONISHI HARUO **Applicant:** SEIKO INSTR INC (US)  
(JP); (+6)  
**EC:** H01L29/786S; H01L21/322B10; (+5) **IPC:** H01L21/322; H01L21/336; H01L21/8234  
(+12)  
**Publication info:** **US6498376 B1** - 2002-12-24

Data supplied from the esp@cenet database - Worldwide

特開平8-274330

(43) 公開日 平成8年(1996)10月18日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

H01L 29/78  
29/43H01L 29/78  
29/62301 H  
G

審査請求 未請求 請求項の数48 O L (全29頁)

(21) 出願番号 特願平7-113447

(22) 出願日 平成7年(1995)5月11日

(31) 優先権主張番号 特願平7-15419

(32) 優先日 平7(1995)2月1日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-15421

(32) 優先日 平7(1995)2月1日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-122872

(32) 優先日 平6(1994)6月3日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002325

セイコー電子工業株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 宮城 雅記

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

(72) 発明者 小西 春男

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

(72) 発明者 久保 和昭

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

(74) 代理人 弁理士 林 敬之助

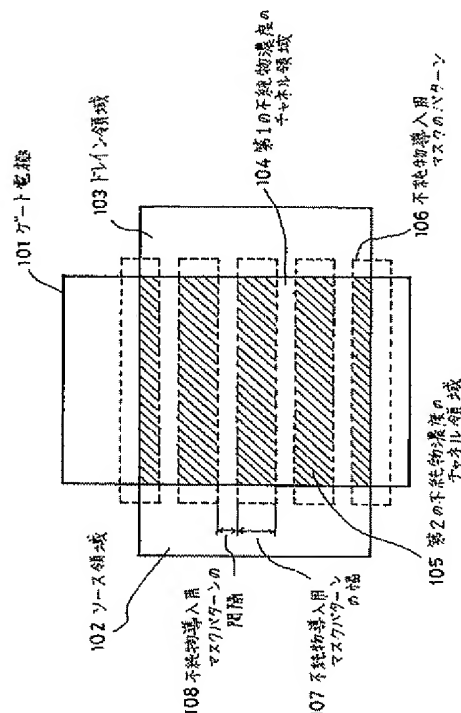
最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【構成】 同一のMISFETのチャネル領域に第1のゲート電圧でチャネル表面が反転する領域と第2のゲート電圧でチャネル表面が反転する領域とを平面的に構成要素として設ける。例えばP型半導体基板上的N型MOSFETのチャネル領域をP型半導体基板の表面濃度で決まる第1の不純物濃度のチャネル領域104と不純物導入用マスクのパターン106によって選択された領域に不純物をイオン打ち込み等で導入する事によって決まる第2の不純物濃度のチャネル領域105を設ける。さらに第1の不純物濃度のチャネル領域104と第2の不純物濃度のチャネル領域105は複数の平面的形状に分割する。

【効果】 上記の様に同一のMOSFETのチャネル領域を複数の不純物濃度の複数の平面的形状の領域で構成し、さらに第1の不純物濃度の領域と第2の不純物濃度の領域の平面的な面積比に応じてMOSFETのしきい値電圧を所望の値に容易に設定する事ができ、低コストでより高性能な半導体集積回路装置を実現する。



## 【特許請求の範囲】

【請求項1】 第1導電型半導体基板に絶縁層を有し、該絶縁層に接してゲート電極を有し、該ゲート電極の下第1導電型半導体基板表面は、少なくとも第1のゲート電圧で表面が第2導電型に反転する領域（第1反転電圧領域）と第2のゲート電圧で表面が第2導電型に反転する領域（第2反転電圧領域）とが平面的に構成されるMIS型要素であることを特徴とする半導体装置。

【請求項2】 該第1反転電圧領域の平面的面積と該第2反転電圧領域の平面的面積との比率が異なる複数のMIS型要素より構成されることを特徴とする請求項1記載の半導体装置。

【請求項3】 該第1反転電圧領域の平面的面積と該第2反転電圧領域の平面的面積とが所定の比率を有するとともに、該第1反転電圧領域及び該第2反転電圧領域の個々の平面的大きさもしくは形状の異なる複数のMIS型要素より構成されることを特徴とする請求項1記載の半導体装置。

【請求項4】 該MIS型要素の少なくとも該第2反転電圧領域は、複数の平面的形状に分割されて構成されることを特徴とする請求項1から3いずれか記載の半導体装置。

【請求項5】 該MIS型要素の少なくとも該第2反転電圧領域は、5個以上の平面的形状に分割されて構成されることを特徴とする請求項1から4いずれか記載の半導体装置。

【請求項6】 該MIS型要素は、第1導電型半導体基板に互いに離れ設けられた第2導電型のソース・ドレイン領域と、前記ソース領域と前記ドレイン領域との間の前記半導体基板上のチャンネル領域と、前記チャンネル領域に少なくとも該第1反転電圧領域と該第2反転電圧領域とが平面的に分割されて設けられた複数の表面反転電圧領域と、前記チャンネル領域の上にゲート絶縁膜を介して設けられたゲート電極とから成る絶縁ゲート電界効果型トランジスタ(MISFET)を構成することを特徴とする請求項1から5いずれか記載の半導体装置。

【請求項7】 該絶縁ゲート電界効果型トランジスタは、第1反転電圧領域と第2反転電圧領域の形状に応じて、しきい値電圧及び飽和電流値が変化することを特徴とする請求項6記載の半導体装置。

【請求項8】 該第2反転電圧領域は、該チャンネル領域のチャンネル長方向に平行な短冊状に構成されていることを特徴とする請求項6乃至7いずれか記載の半導体装置。

【請求項9】 該第2反転電圧領域は、該チャンネル領域のチャンネル幅方向に平行な短冊状に構成されていることを特徴とする請求項6乃至7いずれか記載の半導体装置。

【請求項10】 該第2反転電圧領域は、該チャンネル領域内にドット状に構成されていることを特徴とする請求

項6乃至7いずれか記載の半導体装置。

【請求項11】 該第2反転電圧領域は、該チャンネル領域内に市松模様状に構成されていることを特徴とする請求項6乃至7いずれか記載の半導体装置。

【請求項12】 該第1反転電圧領域及び該第2反転電圧領域は、ゲート電極直下のゲート絶縁膜と接している半導体基板表面にチャンネル不純物領域としてそれぞれ第1の不純物濃度領域と第2の不純物濃度領域を形成することにより構成されていることを特徴とする請求項1から11いずれか記載の半導体装置。

【請求項13】 該第1の不純物濃度領域と該第2の不純物濃度領域の少なくとも一方は、該ソース・ドレイン領域の接合深さより浅く設けたことを特徴とする請求項12記載の半導体装置。

【請求項14】 該ゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜を有する第2のMISFETを該半導体基板表面に設けたことを特徴とする請求項6から11いずれか記載の半導体装置。

【請求項15】 該第1導電型半導体基板表面に設けられるとともに、該半導体基板と同じ導電型で不純物濃度の異なる第2の半導体領域であるウェル領域に、第2のMISFETを設けたことを特徴とする請求項6から11いずれか記載の半導体装置。

【請求項16】 該第1導電型半導体基板表面に設けられるとともに、該半導体基板と異なる導電型である第2導電型の第2の半導体領域であるウェル領域に、第2のMISFETを設けた請求項6から11いずれか記載の半導体装置。

【請求項17】 絶縁層と前記絶縁層の上に設けた半導体領域とから半導体素子が形成される基板を構成するとともに、前記半導体領域の厚さを10 $\mu$ mより薄く形成したことを特徴とする請求項6から11いずれか記載の半導体装置。

【請求項18】 前記半導体領域の厚さが前記チャンネル領域と同等の膜厚である請求項17記載の半導体装置。

【請求項19】 前記半導体領域の厚さが前記チャンネル不純物領域の深さと同じである請求項17記載の半導体装置。

【請求項20】 第1導電型の半導体領域の表面にエンハンスメント型及びデプレッション型の第2導電型のMISFETを有する半導体装置において、エンハンスメント型のチャンネル領域に該第1導電型の半導体領域より濃い濃度の第1導電型不純物濃度分布をもち、デプレッション型のチャンネル領域に該エンハンスメント型のチャンネル領域と実質的に同一の不純物濃度分布を持ちかつ該第1導電型不純物濃度分布より濃い第2導電型の不純物濃度分布をもち、該第2導電型の不純物濃度分布のピーク位置が該第1導電型の不純物濃度分布のピーク位置から $\pm 20$ nm以内の位置となる構造を有する半導体装置。

【請求項 2 1】 第 1 導電型の半導体領域の表面にエンハンスメント型及びデプレッション型の第 2 導電型の MOSFET を有する半導体装置において、エンハンスメント型のチャネル領域に該第 1 導電型の半導体領域より濃い濃度の第 1 導電型不純物濃度分布をもち、デプレッション型のチャネル領域に該エンハンスメント型のチャネル領域と実質的に同一の不純物濃度分布を持ちかつ該第 1 導電型不純物濃度分布より濃い第 2 導電型の不純物濃度分布をもち、該第 2 導電型の不純物濃度分布のピーク位置が該第 1 導電型の不純物プロファイルのピーク位置から ± 2 0 nm 以内の位置となる構造を有し、さらに該第 1 反転電圧領域が該第 1 導電型不純物濃度分布をもち、該第 2 反転電圧領域が該第 2 導電型不純物濃度分布をもつことを特徴とする請求項 1 2 から 1 5 及び 1 7 から 1 9 いずれか記載の半導体装置。

【請求項 2 2】 基板表面の第 1 導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、前記半導体領域の第 1 のトランジスタ領域と第 2 のトランジスタ領域の表面にゲート絶縁膜を形成する工程と、前記第 1 のトランジスタ領域の表面にチャネル不純物領域を形成するためのフォトレジストパターンを形成する工程と、前記レジストパターンをマスクとして前記第 1 のトランジスタ領域の表面に不純物を導入して前記チャネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第 1 のトランジスタ領域の表面に第 2 導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記チャネル不純物形成領域に、少なくとも第 1 の不純物濃度領域と第 2 の不純物濃度領域が前記ソース領域と前記ドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法。

【請求項 2 3】 該第 1 の不純物濃度領域と該第 2 の不純物濃度領域は、フォトレジストを所望の形状にチャネルとなる領域上に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的に導入し MOSFET のチャネル領域を形成することを特徴とする請求項 2 2 記載の半導体装置の製造方法。

【請求項 2 4】 該第 1 の不純物濃度領域と該第 2 の不純物濃度領域は、フォトレジストを所望の形状にチャネルとなる領域上に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的にイオン注入法で導入し MOSFET のチャネル領域を形成することを特徴とする請求項 2 2 記載の半導体装置の製造方法。

【請求項 2 5】 第 1 のトランジスタ領域に第 1 のゲート絶縁膜を形成する工程と、第 2 のトランジスタ領域に前記第 1 のゲート絶縁膜と膜厚の異なる第 2 のゲート絶

縁膜とを形成する工程とから成る請求項 2 2 記載の半導体装置の製造方法。

【請求項 2 6】 第 1 のトランジスタ領域のソース・ドレイン領域を含む第 1 導電型の半導体領域の表面に、第 2 導電型のウェル領域を形成する工程と、前記第 1 のトランジスタ領域の前記ソース・ドレイン領域として第 1 導電型の不純物を導入する工程と、前記第 2 のトランジスタ領域のソース・ドレイン領域として第 2 導電型の不純物を導入する工程とから成る請求項 2 2 記載の半導体装置の製造方法。

【請求項 2 7】 請求項 2 0 記載の半導体装置の製造方法において、第 1 導電型の半導体領域のエンハンスメント型及びデプレッション型のチャネル領域に第 1 導電型の不純物をイオン注入法により導入する工程と、デプレッション型のチャネル領域に第 2 導電型の不純物を該第 1 導電型の不純物濃度分布のピーク位置から ± 2 0 nm 以内の位置にピークをもつようにイオン注入法により導入する工程とからなる半導体装置の製造方法。

【請求項 2 8】 請求項 2 1 記載の半導体装置の製造方法において、第 1 導電型の半導体領域のエンハンスメント型及びデプレッション型のチャネル領域に第 1 導電型の不純物をイオン注入法により導入する工程と、デプレッション型のチャネル領域に該デプレッション型のチャネル領域上に選択的かつ部分的にフォトレジストを形成する工程と該デプレッション型のチャネル領域に該フォトレジストをマスクとして第 2 導電型の不純物を該第 1 導電型の不純物濃度分布のピーク位置から ± 2 0 nm 以内の位置にピークをもつようにイオン注入法により導入する工程とからなる半導体装置の製造方法。

【請求項 2 9】 該第 1 反転電圧領域及び該第 2 反転電圧領域は、ゲート電極直下の絶縁層がそれぞれ第 1 の膜厚の絶縁層領域と第 2 の膜厚の絶縁層領域を形成することにより構成されていることを特徴とする請求項 1 から 1 1 いずれか記載の半導体装置。

【請求項 3 0】 基板表面の第 1 導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、前記半導体領域の第 1 のトランジスタ領域と第 2 のトランジスタ領域の表面に異なる膜厚のゲート絶縁膜を形成する領域を選択するためのフォトレジストを形成する工程と、前記フォトレジストの形状に応じて異なる膜厚のゲート絶縁膜を形成する工程と、前記第 1 及び第 2 のトランジスタ領域の表面にチャネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第 1 のトランジスタ領域の表面に第 2 導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記ゲート絶縁膜は同一のチャネル上

に、少なくとも第1の膜厚のゲート絶縁膜領域と第2の膜厚のゲート絶縁膜領域が前記ソース領域と前記ドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法。

【請求項31】 該第1の膜厚のゲート絶縁膜領域と該第2の膜厚のゲート絶縁膜領域は、フォトリソを所望の形状にチャンネルとなる領域上に形成することで、異なる膜厚の絶縁膜を選択的に形成することを特徴とする請求項30記載の半導体装置の製造方法。

【請求項32】 該MIS型要素は、Nチャンネル型MISFETであることを特徴とする請求項1から21乃至29いずれか記載の半導体装置。

【請求項33】 該Nチャンネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -0.3$  Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -1.0$  Vであることを特徴とする請求項32記載の半導体装置。

【請求項34】 該Nチャンネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -0.3$  Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $0.3 \sim 5.0$  Vであることを特徴とする請求項32記載の半導体装置。

【請求項35】 該Nチャンネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $0.3 \sim 5.0$  Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）は $-0.01 \sim -1.0$  Vであることを特徴とする請求項32記載の半導体装置。

【請求項36】 該MIS型要素は、Pチャンネル型MISFETであることを特徴とする請求項1から21乃至29いずれか記載の半導体装置。

【請求項37】 該Pチャンネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $0.01 \sim 0.3$  Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）が $0.01 \sim 1.0$  Vであることを特徴とする請求項36記載の半導体装置。

【請求項38】 該Pチャンネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $0.01 \sim 0.3$  Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）が $-0.3 \sim -5.0$  Vであることを特徴とする請求項36記載の半導体装置。

【請求項39】 該Pチャンネル型MISFETの該第1反転電圧領域の表面反転電圧（しきい値電圧）は $-0.3 \sim -5.0$  Vで、該第2反転電圧領域の表面反転電圧（しきい値電圧）が $0.01 \sim 1.0$  Vであることを特徴とする請求項36記載の半導体装置。

【請求項40】 該MISFETから成るアナログ回路と、該チャンネル領域に比べ1桁以上面積の小さい第2のチャンネル領域から成る第2のMISFETにより構成されるデジタル回路とを該半導体基板表面に設けた請求項7、32乃至36記載の半導体装置。

【請求項41】 該MISFETが複数直列に接続されることを特徴とする請求項7、32乃至36記載の半導体装置。

【請求項42】 該MISFETには容量が接続されていることを特徴とする請求項41記載の半導体装置。

【請求項43】 該MISFET及び該容量を有する電圧昇圧回路を構成したことを特徴とする請求項42記載の半導体装置。

【請求項44】 該電圧昇圧回路が不揮発性記憶素子に接続されていることを特徴とする請求項43記載の半導体装置。

【請求項45】 該MISFETを有する差動増幅回路を構成したことを特徴とする請求項7、32乃至36記載の半導体装置。

【請求項46】 該MISFETを有する基準電圧発生回路を構成したことを特徴とする請求項7、32乃至36記載の半導体装置。

【請求項47】 該差動増幅回路は基準電圧発生回路と外部に電圧を出力するための出力回路とに接続し、該基準電圧発生回路で発生した電圧と、該出力回路の外部に出力する電圧もしくは外部に出力する電圧に所定の比率で追従する電圧とを該差動増幅回路により比較して、該出力回路より一定電圧を出力することを特徴とする請求項45記載の半導体装置。

【請求項48】 差動増幅回路は該基準電圧発生回路と外部に電圧を出力するための出力回路とに接続し、該基準電圧発生回路で発生した電圧と、該出力回路の外部に出力する電圧もしくは外部に出力する電圧に所定の比率で追従する電とを該差動増幅回路により比較して、該出力回路より一定電圧を出力することを特徴とする請求項46記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、集積回路半導体装置を構成する絶縁ゲート電界効果型トランジスタ（以下MISFETと称す）のチャンネル領域の構成に係わり、特にチャンネル領域の不純物濃度やゲート絶縁膜厚等によって決まるチャンネル領域の表面反転電圧（しきい値電圧）が制御される半導体装置に関する。

【0002】 この発明は、同一基板上に複数のしきい値電圧を有するMISFETから構成される集積回路半導体装置及びその製造方法に関する。この発明は、同一基板上に異なる導電型のMISFETを有する集積回路半導体装置及びその製造方法に関する。

【0003】 この発明は、同一基板上に異なるゲート電圧が印加される高耐圧及び低電圧用のMISFETを有する集積回路半導体装置及びその製造方法に関する。この発明は、同一基板上にアナログ回路とデジタル回路とから成る半導体装置及びその製造方法に関する。

【0004】 この発明は、絶縁層の上に設けられた薄膜



半導体に形成された半導体装置及びその製造方法に関する。

【0005】

【従来の技術】図39は、従来の集積回路半導体装置内のMISFETを表す模式的な平面図である。なお本明細書では、MISFETの代表的な例として金属ゲート電極と半導体基板にはさまれた絶縁層がシリコン酸化膜であるMOSFETを例にとり説明する。

【0006】今図39においては、3種類のトランジスタのソース、ドレイン及びゲートを模式的に表しており、簡単のためアルミニウムの金属配線等は省いてある。トランジスタ1、2、3はそれぞれ異なるしきい値電圧( $V_{TH}$ )を持つものである。

【0007】図40は、従来の集積回路半導体装置内のMOSFETを表す模式的な断面図である。トランジスタ1においてチャネル領域4004の不純物濃度は、例えば半導体基板4006の不純物濃度値とし、このチャネル領域4004の不純物濃度とゲート絶縁膜4005の膜厚で決まるしきい値電圧を $V_{TH1}$ とする。

【0008】トランジスタ2のしきい値電圧 $V_{TH2}$ を $V_{TH1}$ と異なる値にしたい場合は不純物を導入する領域を選択するためのガラスマスク等を用いてフォトレジストを光学的にパターンニング(フォトリソグラフィ技術)し、選択的に形成されたフォトレジストをマスクとしてイオン打ち込みなどで不純物をゲート絶縁膜4005を介して導入し、トランジスタ1のチャネル領域1とは異なる不純物濃度のチャネル領域2を形成する。

【0009】このとき不純物を導入する領域を選択するためのイオン打ち込み用ガラスマスク1のパターン3905は、図39(b)のようにガラスマスクの合わせずれ等を考慮して、チャネル領域よりわずかに大きくかつ全面を覆うように作られ、フォトレジストはチャネル領域よりわずかに大きく除去されて、除去された領域のチャネルに不純物が導入される。

【0010】また、ゲート絶縁膜4005は通常は、10nmから100nm程度の均一の膜厚のシリコン酸化膜で形成されている。このようにすることでトランジスタ2の $V_{TH2}$ とトランジスタ1の $V_{TH1}$ とは異なるものが形成でき、同様にしてトランジスタ3の $V_{TH3}$ のように必要な種類と必要な不純物を導入し必要なしきい値電圧のトランジスタを形成する。

【0011】また、図示しないが、同一基板の表面に厚いゲート酸化膜の高電圧MOSFETと、薄いゲート酸化膜の低電圧MOSFETとを設けた集積回路半導体装置においては、各々のしきい値電圧をほぼ同じ値にするために、フォトリソグラフィ技術により各々のMOSFETのチャネル領域の均一な不純物領域の濃度を制御している。

【0012】同様に、P型MOSFETとN型MOSFETから成るCMOS型集積回路においても、ほぼ同じ

しきい値電圧にするために、別々の不純物導入工程により行っている。

【0013】

【発明が解決しようとする課題】しかし、従来の集積回路半導体装置内のMOSFETは前述したようにそれぞれ均一な不純物濃度のチャネル領域と均一な膜厚のゲート絶縁膜を持つために、チャネルの表面反転電圧が一定となり、したがって単一の半導体基板上に形成される集積回路半導体装置内に複数種類のしきい値電圧のトランジスタを形成するには、必要な種類数の不純物あるいは不純物濃度をチャネル領域に導入する工程が必要であった。

【0014】したがって単一の半導体基板上に形成される集積回路半導体装置内に複数種類のしきい値電圧のトランジスタを形成することは、コスト増の原因でもあり回路設計上の制約にもなったいた。また、チャネル領域に不純物を導入する前のしきい値電圧が異なる構造のトランジスタを同一基板上に設けた集積回路半導体装置においては、電源電圧の範囲に見合ったしきい値電圧を合せこむための複数回のフォトリソグラフィ工程が必要であった。

【0015】したがって、異なるゲート絶縁膜、異なる基板濃度、または、異なる導電型のMOSFETのしきい値電圧を制御するには製造期間が長く、製造コストも高くなっていた。

【0016】

【課題を解決するための手段】上記課題を解決するために、この発明は、以下のような手段をとった。第1の手段としてMOSFETの同一チャネル内に2つ以上の異なるゲート電圧でチャネル表面が反転するという、異なる表面反転電圧を持つチャネル領域を設ける手段をとった。

【0017】さらに、第1の表面反転電圧領域と第2の表面反転電圧領域の平面的な面積の比率、すなわち全チャネルの平面的な面積に対する第2の表面反転電圧領域の平面的な面積の比率を複数種類とするか、第1の表面反転電圧領域及び第2の表面反転電圧領域の個々の平面的な大きさもしくは形状を複数種類とする手段をとった。

【0018】第2の手段として前記第2の表面反転電圧領域が複数の平面的形状に分割されているという手段をとった。また複数の平面的形状に分割する方法の例として、次の方法がある。

(1) チャネル長方向に平行な短冊状に分割する。

【0019】(2) チャネル幅方向に平行な短冊状に分割する。

(3) ドット状に分割する。

(4) 市松模様状に分割する。

第3の手段として前記2つ以上の異なる表面反転電圧を持つチャネル領域は、2つ以上の異なる不純物濃度の領

10

20

30

40

50

域(チャネル不純物領域)をMOSFETの同一チャネル領域表面に形成することで得る手段をとった。

【0020】第4の手段として前記第3の手段記載のチャネル不純物領域をソース・ドレイン領域の接合深さより浅く形成するといった手段をとった。第5の手段としてそれぞれ異なる膜厚で形成されたゲート絶縁膜を持つ第1のMOSFETと第2のMOSFETを形成し、各々に前記第1から第4の手段を適用するといった手段をとった。

【0021】第6の手段として第1導電型の半導体基板に形成される第1のMOSFETと前記半導体基板と異なる不純物濃度でかつ同一の導電型で形成されたウェル領域内に形成される第2のMOSFETを形成し、各々に前記第1から第4の手段を適用するといった手段をとった。

【0022】第7の手段として第1導電型の半導体基板に形成される第1のMOSFETと前記半導体基板と異なる導電型で形成されたウェル領域内に形成される第2のMOSFETを形成し、各々に前記第1から第4の手段を適用するといった手段をとった。

【0023】第8の手段として絶縁層の上に形成される膜厚が $10\mu\text{m}$ より薄い薄膜半導体層にMOSFETを形成し、さらに前記MOSFETに前記第1から第4の手段を適用するといった手段をとった。第9の手段として第8の手段記載の薄膜半導体層の厚さが前記薄膜半導体層に形成されるMOSFETのチャネル領域の厚さと同等の膜厚であるといった手段をとった。

【0024】第10の手段として第8の手段記載の薄膜半導体層の厚さが前記薄膜半導体層に形成されるMOSFETのチャネル領域のチャネル不純物領域の深さと同等の膜厚であるといった手段をとった。第11の手段としてエンハンスメント型MOSFETのチャネル領域に第1導電型の不純物を導入する際、フォトリソパターンをマスクに用いずに不純物を導入し、次にフォトリソパターンをマスクに用いてデプレッション型MOSFETのチャネル領域にのみ、第2導電型の不純物を第1導電型不純物の不純物プロファイルから $\pm 20\text{nm}$ 以内の位置にピークとなるように導入される半導体装置とする手段をとった。

【0025】第12の手段として前記第11の手段による半導体装置において、デプレッション型MOSFETのチャネル領域上に選択的かつ部分的にフォトリソパターンを形成し、次に前記フォトリソパターンをマスクに用いてデプレッション型MOSFETのチャネル領域にのみ、第2導電型の不純物を第1導電型不純物の不純物濃度分布から $\pm 20\text{nm}$ 以内の位置にピークとなるように平面的にみて部分的に導入される半導体装置とする手段をとった。

【0026】第13の手段として基板表面の第1導電型の半導体領域の表面にフィールド絶縁膜を形成する工程

と、前記半導体領域の第1のトランジスタ領域と第2のトランジスタ領域の表面にゲート絶縁膜を形成する工程と、前記第1のトランジスタ領域の表面にチャネル不純物領域を形成するためのフォトリソパターンを形成する工程と、前記レジストパターンをマスクとして前記第1のトランジスタ領域の表面に不純物を導入して前記チャネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第1のトランジスタ領域の表面に第2導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記チャネル不純物形成領域に、少なくとも第1の不純物濃度領域と第2の不純物濃度領域が前記ソース領域と前記ドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法とする手段をとった。

【0027】第14の手段として前記第1の不純物濃度領域と該第2の不純物濃度領域は、フォトリソを所望の形状にチャネルとなる領域上に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的に導入し形成することを特徴とする半導体装置の製造方法とする手段をとった。

【0028】第15の手段として前記第1の不純物濃度領域と該第2の不純物濃度領域は、フォトリソを所望の形状にチャネルとなる領域上に形成することで、同一チャネル内にしきい値電圧制御用の不純物を選択的にイオン注入法で導入し形成することを特徴とする半導体装置の製造方法とする手段をとった。

【0029】第16の手段として第1のトランジスタ領域に第1のゲート絶縁膜を形成する工程と、第2のトランジスタ領域に前記第1のゲート絶縁膜と膜厚の異なる第2のゲート絶縁膜とを形成する工程とから成り、前記第1のトランジスタ領域と前記第2トランジスタ領域各々に前記第13から15の手段を適用するといった半導体装置の製造方法とする手段をとった。

【0030】第17の手段として第1のトランジスタ領域のソース・ドレイン領域を含む前記半導体領域の表面に第2導電型のウェル領域を形成する工程と、前記第1のトランジスタ領域の前記ソース・ドレイン領域として第1導電型の不純物を導入する工程と、前記第2のトランジスタ領域のソース・ドレイン領域として第2導電型の不純物を導入する工程とから成り、前記第1のトランジスタ領域と前記第2トランジスタ領域各々に前記第13から15の手段を適用するといった半導体装置の製造方法とする手段をとった。

【0031】第18の手段としてエンハンスメント型MOSFETのチャネル領域に第1導電型の不純物を導入



する際、フォトリソパターンをマスクに用いずに不純物を導入し、次にフォトリソパターンをマスクに用いてデプレッション型MOSFETのチャンネル領域にのみ、第2導電型の不純物を第1導電型不純物の不純物プロファイルから±20nm以内の位置にピークとなるように導入する半導体装置の製造方法とする手段をとった。

【0032】第19の手段として前記18の手段による半導体装置において、デプレッション型MOSFETのチャンネル領域上に選択的かつ部分的にフォトリソパターンを形成し、次に前記フォトリソパターンをマスクに用いてデプレッション型MOSFETのチャンネル領域にのみ、第2導電型の不純物を第1導電型不純物の不純物濃度分布から±20nm以内の位置にピークとなるように平面的にみて部分的に導入される半導体装置の製造方法とする手段をとった。

【0033】第20の手段として前記2つ以上の異なる表面反転電圧を持つチャンネル領域は、2つ以上の異なる膜厚のゲート絶縁膜をMOSFETの同一チャンネル領域上に形成することで得る手段をとった。第21の手段として基板表面の第1導電型の半導体領域の表面にフィールド絶縁膜を形成する工程と、前記半導体領域の第1のトランジスタ領域と第2のトランジスタ領域の表面に異なる膜厚のゲート絶縁膜を形成する領域を選択するためのフォトリソを形成する工程と、前記フォトリソの形状に応じて異なる膜厚のゲート絶縁膜を形成する工程と、前記第1及び第2のトランジスタ領域の表面にチャンネル不純物領域を形成する工程と、前記ゲート絶縁膜の上にゲート電極をパターンニングする工程と、前記ゲート電極により区切られるように前記第1のトランジスタ領域の表面に第2導電型のソース・ドレイン領域を形成する工程と、前記ゲート電極の上に中間絶縁膜を形成する工程と、前記中間絶縁膜にコンタクトホールを形成する工程と、前記コンタクトホールの上に重なるように金属配線をパターンニングする工程とから成るとともに、前記ゲート絶縁膜は同一のチャンネル上に、少なくとも第1の膜厚のゲート絶縁膜と第2の膜厚のゲート絶縁膜が前記ソース領域と前記ドレイン領域との間に平面的に分割して複数形成されることを特徴とする半導体装置の製造方法とする手段をとった。

$$V_{TH} = \phi_{ms} + Q_s / C_{ox} + 2\phi_i$$

$\phi_{ms}$ は、基板とゲート電極との仕事関数差である。 $Q_s$ は、チャンネル領域に発生する単位面積当りの空乏電荷量である。 $C_{ox}$ は、ゲート絶縁膜の単位面積当りの容量である。

【0040】 $\phi_i$ は、基板のフェルミレベルである。チ

$$V_{TH} = AV_{T1} + BV_{T2}$$

$0 \leq A, B \leq 1$ の定数であり、各々の領域のパターン形状に依存する。従って、フォトリソグラフィ技術により定数AとBを制御することにより、同一基板上に複数

【0034】第22の手段として前記2つ以上の異なる膜厚のゲート絶縁膜は、フォトリソを同一チャンネル上に選択的に形成することにより、この選択的に形成されたフォトリソをマスクとして選択的にゲート絶縁膜を除去または形成することを特徴とする半導体装置の製造方法とする手段をとった。

【0035】第23の手段として前記第1の手段から第12乃至20の手段に記載のMOSFETから成るアナログ回路と、前記アナログ回路に使用しているMOSFETのチャンネル領域に比べ1桁以上面積の小さい第2のチャンネル領域から成る第2のMOSFETにより構成されるデジタル回路とを該半導体基板表面に設けた半導体装置とする手段をとった。

【0036】第24の手段として前記第1の手段から第12乃至20の手段に記載のMOSFETを複数個直列にダイオード接続し、おのおのに電荷蓄積用の容量が接続されている電圧昇圧回路（チャージポンプ回路）を構成し、さらに電圧昇圧回路の前段から後段になるにしたがって第2の表面反転電圧領域の面積比または形状を変えていくという手段をとった。

【0037】また前記電圧昇圧回路を不揮発性半導体記憶回路を有する集積回路半導体装置に搭載した。第25の手段として前記第1の手段から第12乃至20の手段に記載のMOSFETを差動増幅器回路に使用するという手段をとった。

【0038】第26の手段として前記第1の手段から第12乃至20の手段に記載のMOSFETを前記差動増幅回路において電圧を比較するための基準となる一定電圧を発生する基準電圧発生回路に使用するという手段をとった。第27の手段として前記第25の手段に記載の差動増幅回路と前記第26の手段に記載の基準電圧発生回路と外部に電圧を出力する回路を接続し、基準となる電圧と外部に出力する電圧もしくは外部に出力する電圧に一定の比率で追従する電圧を前記差動増幅回路で比較することにより出力の負荷が変わっても外部に常に一定の電圧を出力する集積回路半導体装置を構成した。

【0039】

【作用】絶縁ゲート電界効果型トランジスタ(MISFET)のしきい値電圧 $V_{TH}$ は以下の式によって表すことができる。

$$(1)$$

チャンネル領域内に、局所的に異なるしきい値電圧すなわち表面反転電圧 $V_{T1}$ 、 $V_{T2}$ を有する領域を各々複数の領域設けた場合の全体のしきい値電圧 $V_{TH}$ は次式となる。

【0041】

$$(2)$$

の種類としきい値電圧を1回のフォトリソグラフィにより形成することができる。但し、常に、 $V_{T1} \leq V_{TH} \leq V_{T2}$ と各々の局所的しきい値電圧の間に設定される。局

所的しきい値電圧とは、均一な不純物濃度でチャネル領域を形成した場合のチャネルサイズに依存しない（非常に大きなサイズのトランジスタ）しきい値電圧であり、式1より数学的に導かれる値である。

【0042】また、ゲート絶縁膜容量（ゲート絶縁膜厚、ゲート絶縁膜の種類）、基板濃度または、 $\phi_{MS}$ が異なるMOSトランジスタにおいて、1回のフォトリソ

$$V_{TH} = \phi_{vs} + \alpha \cdot (Q_{s1} / C_{ox}) + \beta \cdot (Q_{s2} / C_{ox}) + 2\phi_f \quad (3)$$

$0 \leq \alpha + \beta \leq 1$ の定数である。 $Q_{s1}$ 及び $Q_{s2}$ は、それぞれ異なる不純物領域のチャネル領域の表面から基板の深さ方向に沿ったチャネル深さ方向の単位面積当りの空乏電荷量である。 $\phi_{vs}$ 及び $\phi_f$ は、実効値な値であり、チャネル領域の不純物濃度が複数種類・複数領域存在するために実質的には実験的に求めることができる。

【0044】式3より、例えば、ゲート絶縁膜が異なる各々のトランジスタにおいて、チャネル領域の不純物をパターンニングすることにより、一回のフォトリソグラフィによりほぼ同じしきい値電圧に制御することができる。また、同一基板上に設けられたN型及びP型のM

$$V_{TH} = \phi_{vs} + \alpha \cdot (Q_{s1} / C_{ox1}) + \beta \cdot (Q_{s2} / C_{ox2}) + 2\phi_f \quad (4)$$

式3同様に $\alpha$ 及び $\beta$ は、 $0 \leq \alpha + \beta \leq 1$ の定数である。 $Q_{s1}$ は、チャネル領域の表面から基板の深さ方向に沿ったチャネル深さ方向の単位面積当りの空乏電荷量である。

【0047】 $C_{ox1}$ 及び $C_{ox2}$ はそれぞれ局所的に異なる膜厚のゲート絶縁膜の単位面積当たりの容量値である。以下に課題を解決するための手段に記載した項目にそって作用を示す。第1の手段をとることで、同一の集積回路半導体装置内に複数のしきい値電圧のトランジスタを容易に得るといった作用がある。

【0048】このことにより回路設計の自由度も増えて非常に高性能で高機能の半導体集積回路装置を低コストで実現可能となる。第2の手段をとることで、キックがなくリーク電流の少ない良好な特性のトランジスタを比較的精度良く狙いどおりに得ることが可能となる。これは、微細加工の許す範囲でより細かく分割されているほうが良好な特性を得られる。

【0049】第3及び第4の手段をとることで、1回のチャネル不純物導入工程で複数のしきい値電圧のトランジスタを容易に得る作用がある。従来では、例えば1回のフォトレジストの光学的パターンニング工程とイオン注入工程よりなるチャネル不純物の導入工程でMOSFETのしきい値電圧を制御下の場合、同一導電型の半導体基板領域もしくはウェル領域に形成されるMOSFETのしきい値電圧は、チャネル領域全面に不純物が導入されたトランジスタとまったく導入されていないトランジスタの2種類だけであったが、第3及び第4の手段をとることでチャネル領域に部分的に不純物が導入されたトランジスタのしきい値電圧は、チャネル領域全面に不純物が導入されたトランジスタのしきい値電圧とまったく

グラフィにより、チャネル領域に局所的に異なる不純物領域をパターンニングすることでねらいのしきい値電圧にすることができる。

【0043】即ち、異なる不純物領域をパターンニングした場合には、しきい値電圧は次式のように近似される。

ISFETにおいても同様の手段により、エンハンスメント側にほぼ同じしきい値電圧に制御することができる。

【0045】また式1は、しきい値電圧がゲート絶縁膜の単位面積当たりの容量値が変化しても変わること示しているが、このことはすなわちチャネル領域の不純物濃度が一定であっても同一チャネル内にゲート絶縁膜の厚さが異なる領域が複数種類・複数領域存在する場合も同様にしきい値電圧が変化することを示している。

【0046】この場合のしきい値電圧は次式で近似できる。

導入されなかったトランジスタのしきい値電圧の間に分布するため少なくとも3種類のしきい値電圧のトランジスタを形成することができる。

【0050】また、不純物が導入された領域の面積比や形状を適切に選択することによりさらに3種類以上のしきい値電圧のトランジスタを容易に形成することができる。第5の手段をとることで、1回のチャネル不純物導入工程でゲート絶縁膜の膜厚が異なってもしきい値電圧が同じ値もしくはそれぞれ所望の値に合わせ込まれたトランジスタが容易に得ることができるといった作用がある。

【0051】第6の手段をとることで、1回のチャネル不純物導入工程で同一導電型で基板の不純物濃度もしくはウェルの不純物濃度の異なる領域に形成されてもしきい値電圧が同じ値もしくはそれぞれ所望の値に合わせ込まれたトランジスタが容易に得ることができるといった作用がある。

【0052】第7の手段をとることで、1回のチャネル不純物導入工程で異なる導電型の基板もしくはウェルの領域に形成されてもしきい値電圧が絶対値として同じ値もしくはそれぞれ所望の値に合わせ込まれたトランジスタが容易に得ることができるといった作用がある。

【0053】第8、第9及び第10の手段をとることで、絶縁層の上の薄膜半導体層に形成されるトランジスタにおいてしきい値電圧の異なる複数のトランジスタを1回のチャネル不純物導入工程で容易に得ることができるといった作用がある。また、前記薄膜半導体層の厚さが充分薄くトランジスタのチャネル領域の厚さやチャネル不純物が導入された深さと同様である場合は、部分的に導入されたチャネル不純物が充分拡散し全体としてよ

り均一な濃度に近づくため、より特性の良いトランジスタを得ることができる。

【0054】第11の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略することができる。第12の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略する事ができるうえに、エンハンスメント型からデプレッション型まで3種類以上の所望のしきい値電圧のMOSFETが1回フォトレジストの光学的パターンニングと2回の不純物導入工程で形成することができる。

【0055】第13から17の手段をとることで従来と比較して特別な工程の追加を行わずに第3から第10の手段記載のMOSFET及び前記MOSFETを搭載した半導体集積回路装置を簡単に製造することができるという作用がある。第18の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略してもMOSFETの特性を落とさずに半導体装置を製造することができる。

【0056】第19の手段をとることでフォトレジストの光学的パターンニング工程を1工程省略する事ができるうえに、エンハンスメント型からデプレッション型まで3種類以上の所望のしきい値電圧のMOSFETが1回のフォトレジストの光学的パターンニングと2回の不純物導入工程で製造することができる。

【0057】第20の手段をとることで、第2の膜厚のゲート絶縁膜を形成する工程を1つ追加するだけで、複数のしきい値電圧のMOSFETを容易に得る作用がある。また、FLOTOX型不揮発性メモリを搭載する集積回路半導体装置のようにトンネル絶縁膜のような第2の膜厚のゲート絶縁膜を形成する工程がすでにある場合には、新たに工程を追加すること無く複数のしきい値電圧のMOSFETを容易に得ることができる。

【0058】第21及び22の手段をとることで、第20の手段記載のMOSFET及び前記MOSFETを搭載した集積回路半導体装置を簡単に製造することができるという作用がある。第23の手段をとることで、比較的チャンネル面積の大きなアナログ回路のトランジスタは、チャンネル不純物領域を適切な形状と大きさにする事で、自由度が大きく高性能なアナログ回路を構成でき、さらに前記アナログ回路とデジタル回路を同一の基板上に低コストで搭載することができるという作用がある。

【0059】第24の手段をとることで、複数直列に接続されたMOSFET(MOSダイオード)での基板効果によるしきい値電圧の上昇で起こる電圧降下が小さくできるため、非常に効率の良い電圧昇圧回路を構成する事ができる。また第24の手段による電圧昇圧回路を不揮発性記憶機能を有する半導体集積回路装置に搭載した場合、同じ昇圧能力をより小さな面積の回路で構成したり同じ面積の回路でより昇圧能力の高い回路を構成する

事ができるため、より低コストで高性能な集積回路半導体装置が実現できる。

【0060】第25、第26及び第27の手段をとる事で従来複数のしきい値電圧のMOSFETを形成するために、それぞれ別の不純物濃度を導入する工程が必要であったものが、ひとつの工程で実現できるので、より低コストな集積回路半導体装置が実現できる。詳しい説明は、実施例に譲る。

【0061】

10 【実施例】以下に、この発明の実施例を図に基づいて説明する。図1は、本発明に係わる第1の実施例のMOSFETを表す模式的な平面図である。

【0062】ここで第1の実施例のMOSFETをP型半導体基板上に形成されるN型MOSFETとすると第1の不純物濃度のチャンネル領域104の不純物濃度はP型半導体基板によってきまり、第2の不純物濃度のチャンネル領域105の不純物濃度は不純物導入用マスクのパターン106により光学的にパターンニングされたフォトレジストで選択された領域にイオン打ち込みにより不純物を導入する事によりきまるが、不純物導入用マスクのパターン106がトランジスタのチャンネル長と平行な方向に複数の短冊状に描かれているため、第2の不純物濃度のチャンネル領域を形成するために導入される不純物も同様にトランジスタのチャンネル長と平行な方向の短冊状に導入される。

【0063】その結果、第1の不純物濃度のチャンネル領域104と第2の不純物濃度のチャンネル領域105はそれぞれチャンネル長と平行な方向の複数の短冊状に形成される。さらに、不純物導入用マスクパターン107と不純物導入用マスクパターンの間隔108の組み合わせにより、チャンネル領域全面に対する第2の不純物濃度のチャンネル領域の面積比を所望の値に決定する。また、同一の面積比であっても不純物導入用マスクパターン107と間隔108のサイズが異なる場合もある。

【0064】第2の不純物濃度の領域は、一般的にチャネルドープの工程において形成される。その後の熱処理により不純物分布は変化する。しかし、その深さは、少なくともソース領域102及びドレイン領域103の接合深さより浅く形成されている。第2の不純物濃度の領域の深さをゲート電極に電界を加えて時に基板表面に発生する空乏層の深さより浅くすることにより、しきい値電圧の制御精度を高くすることができる。

【0065】図2は、本発明に係わる第2の実施例のMOSFETを表す模式的な平面図である。第1の実施例と同様に不純物導入用マスクのパターン106が複数の短冊状に描かれているが、第2の実施例ではチャンネル幅と平行な方向の短冊状となっている。第2の実施例においても不純物導入用マスクパターン107と不純物導入用マスクパターンの間隔108の組み合わせで所望の面積比に決定され、また同一の面積比であっても不純

物導入用マスクパターンの幅 1 0 7 と間隔 1 0 8 のサイズが異なる場合がある。

【 0 0 6 6 】 図 3 は、本発明に係わる第 2 の実施例の MOSFET におけるチャネル不純物が導入された直後の A - A' 断面を表す模式的な断面図である。図 4 は、本発明に係わる第 3 の実施例の MOSFET を表す模式的な平面図である。

【 0 0 6 7 】 第 3 の実施例においては、不純物導入用マスクのパターン 1 0 6 がドット状に描かれている。第 3 の実施例においても第 1 及び第 2 の実施例同様に第 2 の不純物濃度のチャネル領域の面積比が決定され、また同一面積比であっても不純物導入用マスクパターンの幅 1 0 7 と間隔 1 0 8 のサイズが異なる場合がある。

【 0 0 6 8 】 図 5 は、本発明に係わる第 4 の実施例の MOSFET を表す模式的な平面図である。第 4 の実施例においては、不純物導入用マスクのパターン 1 0 6 が市松模様状に描かれている。第 3 の実施例においても第 1 及び第 2 の実施例同様に第 2 の不純物濃度のチャネル領域の面積比が決定され、また同一面積比であっても不純物導入用マスクパターンの幅 1 0 7 と間隔 1 0 8 のサイズが異なる場合がある。

【 0 0 6 9 】 図 6 及び図 7 は第 1、第 2 及び第 3 の実施例の MOS トランジスタの種類、具体的な各部のサイズ及びチャネル領域全面に対する第 2 の不純物濃度領域の面積比を示した説明図である。図 8 は比較のための従来技術による MOSFET の種類とサイズを示した説明図である。

【 0 0 7 0 】 トランジスタ Tr 1 から Tr 8 及び Tr 2 4 から Tr 3 1 は第 1 の実施例に係わり、トランジスタ Tr 9 から Tr 1 6 及び Tr 3 2 から Tr 3 9 は第 2 の実施例に係わり、トランジスタ Tr 1 7 から Tr 2 3 及び Tr 4 0 から Tr 4 6 は第 3 の実施例に係わる。

【 0 0 7 1 】 このうち図 6 に示す MOSFET は、第 2 の不純物濃度領域がデプレッション型のチャネルを形成するもので、図 7 に示す MOSFET は、第 2 の不純物濃度領域がエンハンスメント型のチャネルを形成するものである。また、図 6 及び図 7 に示す MOSFET の第 1 の不純物濃度領域は、P 型半導体基板の濃度で決まるネイティブ状態となっており本実施例では、ゼロスレッシュヨルド型のチャネルを形成するものである。

【 0 0 7 2 】 図 8 は、従来技術によるデプレッション型 (Tr 4 7)、エンハンスメント型 (Tr 4 8) 及びゼロスレッシュヨルド型 (Tr 4 9) の MOSFET のサイズ等を示した説明図である。図 6 における MOSFET の第 2 の不純物濃度の領域と図 8 のデプレッション型 MOSFET のチャネル領域には、チャネルをノーマリーオン状態にするための不純物としてリン (P) が、エネルギーとドーズ量がそれぞれ、5 0 KeV、 $2.4 \times 10^{11} \text{ cm}^{-2}$  の条件で導入されている。

【 0 0 7 3 】 図 7 における MOSFET の第 2 の不純物

濃度の領域と図 8 のエンハンスメント型 MOSFET のチャネル領域には、しきい値電圧を高くするための不純物としてボロン (B) が、エネルギーとドーズ量がそれぞれ 4 0 KeV、 $4.5 \times 10^{11} \text{ cm}^{-2}$  の条件で導入されている。

【 0 0 7 4 】 図 9 は従来型のトランジスタである Tr 4 7 と Tr 4 9、さらに本発明の実施例である Tr 1 と Tr 6 のしきい値電圧を測定した際のゲート電圧 ( $V_{gs}$ ) に対するドレイン電流 ( $I_{ds}$ ) を示した図である。このときドレイン電流 ( $I_{ds}$ ) はソース及び基板をグラウンドに接続しドレインに 0.1 V 印加したときに流れる電流を測定している。

【 0 0 7 5 】 さらにしきい値電圧は各曲線の傾きが最大となる点での接線 (図 9 では一点鎖線で示されている) の X 切片からドレイン電圧の 1/2 すなわち 0.05 V を引いた値としている。図 10 は、前記のトランジスタ Tr 4 7、Tr 4 9、Tr 1 及び Tr 6 のサブスレッシュヨルド電流の特性を示した図である。

【 0 0 7 6 】 測定条件は、図 9 のしきい値電圧を測定する場合と同じであるが Y 軸となるドレイン電流 ( $I_{ds}$ ) を対数で示している。図 9 及び 10 よりしきい値電圧及びドレイン電流特性のどちらも本発明により従来技術によるトランジスタの間の領域を容易にねらえることがわかる。

【 0 0 7 7 】 図 11、12 及び 13 は、図 6 に示した各トランジスタのしきい値電圧と全チャネル領域に対する第 2 の不純物濃度領域の面積比の関係を第 2 の不純物濃度領域の形状別に表したグラフである。また従来技術によるトランジスタ Tr 4 7 及び Tr 4 9 がそれぞれ面積比が "1" あるいは "0" として◇印で示されている。

【 0 0 7 8 】 チャネル全面が、第 1 の不純物濃度であるトランジスタ Tr 4 9 のしきい値電圧 (約 0.00 V) とチャネル全面が第 2 の不純物濃度であるトランジスタ Tr 4 7 のしきい値電圧 (約 -0.73 V) の間に本発明における第 1、第 2 及び第 3 の実施例のトランジスタのしきい値電圧が分布しているが第 2 の不純物濃度領域の形状によりグラフの形状が大きく異なり、第 2 の不純物濃度領域の面積比あるいは第 2 の不純物濃度領域の幅と間隔に依存してしきい値電圧が変化している。

【 0 0 7 9 】 また図中の括弧内の数値は第 2 の不純物濃度領域の (幅、間隔) を [ $\mu\text{m}$ ] 単位で示している。第 2 の不純物濃度領域がチャネル長と平行な方向の短冊状に形成されている場合は、第 2 の不純物濃度の面積比としきい値電圧には強い相関があり、ほぼ比例関係となっており、また第 2 の不純物濃度領域の幅と間隔でも若干しきい値電圧が変化する。

【 0 0 8 0 】 第 2 の不純物濃度領域がチャネル幅と平行な方向の短冊状に形成されている場合、もしくはドット状に形成されている場合は、第 2 の不純物濃度領域の間隔すなわちしきい値電圧の高い第 1 の不純物濃度領域の

幅に強い相関があることがわかる。すなわち、第2の不純物濃度領域の面積比の違いによってもしきい値電圧は変化するが同一面積比であっても第1の不純物濃度領域の幅を変化させるとしきい値電圧が大きく変わる。またこの場合は、面積比でも若干しきい値電圧が変化する。

【0081】また、第2の不純物濃度領域の幅を一定にして間隔を変化させた場合のしきい値電圧の値と間隔を一定にして幅を変化させた場合のしきい値電圧の値とをそれぞれ結ぶと各点は、グラフ上で格子を形成することがわかる。図14は、同一面積比(0.5)で第2の不純物濃度領域の幅と間隔を変化させた場合のしきい値電圧の変化を示したグラフである。

【0082】幅と間隔が4.0  $\mu\text{m}$ 以下になると急激にしきい値電圧が変化することがわかる。特に第2の不純物濃度領域がチャンネル幅と平行な方向の短冊状に形成されている場合により急激に変化する。以上に示す様に、第2の不純物濃度領域の面積比と形状を適切に選択する事によって、所望のしきい値電圧を任意に選択することが可能となる。

【0083】図7に示した第2の不純物濃度領域がエンハンスメント型のチャンネルを形成するMOSトランジスタにおいても、同様に第2の不純物濃度領域の面積比と形状を適切に選択する事によって所望のしきい値電圧を任意に選択する事ができる。図15は従来型のトランジスタであるTr48とTr49、さらに本発明のエンハンスメントトランジスタにおける実施例であるTr24とTr29のしきい値電圧を測定した際のゲート電圧( $V_{gs}$ )に対するドレイン電流( $I_{ds}$ )を示した図である。

【0084】デプレッショントランジスタの時と同様にドレイン電流( $I_{ds}$ )はソース及び基板をグランドに接続しドレインに0.1V印加したときに流れる電流を測定している。さらにしきい値電圧は各曲線の傾きが最大となる点での接線(図15では一点鎖線で示されている)のX切片からドレイン電圧の1/2すなわち0.05Vを引いた値としている。

【0085】図16は、前記のトランジスタTr48、Tr49、Tr24及びTr29のサブスレッショルド電流の特性を示した図である。測定条件は、図15のしきい値電圧を測定する場合と同じであるがY軸となるドレイン電流( $I_{ss}$ )を対数で示している。

【0086】図15及び16よりエンハンスメントトランジスタにおいてもしきい値電圧及びドレイン電流特性のどちらも本発明により従来の技術によるトランジスタの間の領域を容易にねえることがわかる。図17、18及び19に示すように図7に示したエンハンスメントトランジスタにおいても第2の不純物濃度領域の面積比と形状を適切に選択する事によって所望のしきい値電圧を任意に選択する事ができる。

【0087】また、図17、18及び19には従来技術

によるトランジスタTr48及びTr49がそれぞれ面積比"1"あるいは"0"として◇印で示されている。図中の括弧内の数値は第2の不純物濃度領域の(幅、間隔)を[ $\mu\text{m}$ ]単位で示している。

【0088】図20は図6に示したデプレッションタイプの各トランジスタのうち第2の不純物濃度領域がチャンネル長と平行な短冊状に形成されているTr1からTr8の飽和電流値と全チャンネル領域に対する第2の不純物濃度領域の面積比の関係を表すグラフである。

【0089】しきい値電圧と同様に第2の不純物濃度領域の面積比と飽和電流値はほぼ比例関係となっている。図21は図6に示したデプレッションタイプの各トランジスタのうち第2の不純物濃度領域がチャンネル幅と平行な短冊状に形成されているTr9からTr16の飽和電流値と全チャンネル領域に対する第2の不純物濃度領域の面積比の関係を表すグラフである。

【0090】これも同様に、しきい値電圧と同様に第2の不純物濃度領域の面積比と飽和電流値はほぼ比例関係となっている。以上の実施例はNチャンネル型MOSFETの例について述べてきたが、Pチャンネル型MOSFETについても同様な特性を得る事ができる。

【0091】また本実施例ではネイティブ状態のMOSFETのしきい値電圧はほぼ0Vとしたが、本発明はこれに拘束されるものではなく、ネイティブなMOSFETのしきい値電圧がより強いエンハンスメント状態やデプレッション状態の場合でも、第2の不純物濃度領域の形状や面積比を適切に選択する事で所望のしきい値電圧に設定できるばかりか、1回の不純物導入工程でエンハンスメントからデプレッションまでのすべてのしきい値電圧のMOSFETが同一の不純物濃度の半導体基板上またはウェル上に自由に形成できる。

【0092】ネイティブ状態のMOSFETのしきい値電圧がほぼ0Vの場合、1回のフォトレジストの光学的パターンニング工程と2回の不純物導入工程でエンハンスメント型MOSFETとデプレッション型NMOSFETを同時に製造するためには、例えばNチャンネルMOSFETでは、フォトレジストを用いずにチャンネル領域全面にMOSFETをエンハンスメント型の所望のしきい値電圧にするための不純物としてボロン(B)を導入し、その後デプレッション型MOSFETを製造するために必要部分にのみフォトレジストを用いて選択的にリン(P)を導入する。

【0093】このとき、チャンネル内のエンハンスメント型の領域とデプレッション型の領域との面積比や各々の形状を変えることにより所望のしきい値のトランジスタを製造する事が可能となる。さらに、チャンネル領域の不純物としてのボロンとリンの濃度分布のピーク位置を実質的に同一位置(例えば $\pm 20\text{nm}$ 以内)にある構造とする事により、各MOSFETのしきい値電圧や駆動能力をより安定して得られる構造とする事ができる。



【0094】また、ネイティブ状態のMOSFETのしきい値電圧がより強いエンハンスメント状態である場合は、前述したボロンの導入工程が不要である場合もある。これらの局所的なしきい値電圧の組み合わせ、すなわち第1の不純物濃度領域の表面反転電圧と第2の不純物濃度領域の表面反転電圧の組み合わせの例として以下の組み合わせがあげられる。

【0095】(1) 第1の不純物濃度領域の表面反転電圧が $-0.01 \sim -0.3$  Vで、第2の不純物濃度領域の表面反転電圧が $-0.01 \sim -1.0$  VであるNチャネル型MOSFET。

(2) 第1の不純物濃度領域の表面反転電圧が $-0.01 \sim -0.3$  Vで、第2の不純物濃度領域の表面反転電圧が $0.3 \sim 5.0$  VであるNチャネル型MOSFET。

【0096】(3) 第1不純物濃度領域の表面反転電圧が $0.3 \sim 5.0$  Vで、第2の不純物濃度領域の表面反転電圧が $-0.01 \sim -1.0$  VであるNチャネル型MOSFET。

(4) 第1の不純物濃度領域の表面反転電圧が $0.01 \sim -0.3$  Vで、第2の不純物濃度領域の表面反転電圧が $0.01 \sim 1.0$  VであるPチャネル型MOSFET。

【0097】(5) 第1の不純物濃度領域の表面反転電圧が $0.01 \sim -0.3$  Vで、第2の不純物濃度領域の表面反転電圧が $-0.3 \sim -5.0$  VであるPチャネル型MOSFET。

(6) 第1不純物濃度領域の表面反転電圧が $-0.3 \sim -5.0$  Vで、第2の不純物濃度領域の表面反転電圧が $0.01 \sim 1.0$  VであるPチャネル型MOSFET。

【0098】また、前述したボロンとリンの不純物濃度分布の位置を実質的に同一位置とする方法は、デプレッション型MOSFETとエンハンスメント型MOSFETをそれぞれ1種類ずつしか形成しない場合は、チャンネル上にフォトレジストを部分的に形成する必要はなく、すべて覆うか覆わないかで形成することができる。

【0099】この場合の製造方法を第5の実施例として図22及び図23に示す。まず、図22(a)に示すように、抵抗率 $10 \sim 20 \Omega\text{cm}$ のP型シリコン基板2201の表面に熱酸化膜2202を形成し、CVD法により $100 \sim 150$  nmの厚さのシリコン窒化膜2203を全面に形成する。その後、前記シリコン窒化膜2203上にフォトレジストパターン2204aを設け、それをマスクにして該シリコン窒化膜2203をプラズマエッチング法により除去して前記酸化膜2202の一部を露出させる。

【0100】次に図22(b)に示すように、前記フォトレジストパターン2204aを剥離した後、熱酸化法により $500 \sim 1200$  nmの厚さのフィールド酸化膜2205を形成する。次いで前記シリコン窒化膜2203及びその下の酸化膜2202を除去し、新たに熱酸化

膜2206を $40$  nmの厚さに形成する。次にボロニオンを $25$  keVのエネルギーで熱酸化膜2206表面より $80$  nm付近の深さへ注入してエンハンスメント型MOSFETのチャンネル領域となる、P型シリコン基板2201よりも不純物濃度の高いP型領域2207を形成する。

【0101】次に図22(c)に示すように、開孔を設けたフォトレジストパターン2204cを新たに形成し、前記開孔からリンイオンを $75$  keVのエネルギーで熱酸化膜2206表面より $80$  nm付近の深さへ注入してデプレッション型MOSFETのチャンネル領域をN型領域2208に変換する。

【0102】またこのとき、通常はデプレッション型MOSFETのチャンネル領域となる部分はすべて開孔を設けるが、フォトレジストパターン2204cを選択的かつ部分的にチャンネル領域に形成し、同一のチャンネル領域内に部分的にリンイオンを注入する事により、フォトレジストパターン2204cの形状に応じて所望のしきい値電圧のMOSFETを形成できる。

【0103】次に図22(d)に示すように、前記フォトレジストパターン2204cを剥離した後、CVD法により $350 \sim 400$  nmの厚さのポリシリコン膜を全面に形成する。その後、前記ポリシリコン膜上にフォトレジストパターン2204dを設け、それをマスクにして該ポリシリコン膜をドライエッチング法により除去してポリシリコン電極2209a, bを形成させる。

【0104】次に図23(e)に示すように、前記フォトレジストパターン2204dを剥離した後、全面にリンイオンを $5 \times 10^{15}$  程度のドーズ量で注入し、高濃度のN型領域のソース領域2210a, c、及びドレイン領域2210b, dを形成する。

【0105】次に図23(f)に示すように、CVD法により $500 \sim 1000$  nmの厚さのPSG膜2211を全面に形成する。その後、前記PSG膜上にフォトレジストパターン2204eを設け、それをマスクにして該PSG膜2211をウェットエッチング法あるいはドライエッチング法により除去してコンタクトホールを形成させる。

【0106】次に図23(g)に示すように、前記フォトレジストパターン2204eを剥離した後、スパッタ法により $800 \sim 1200$  nmの厚さのアルミニウム膜を全面に形成する。その後、前記アルミニウム膜上にフォトレジストパターン2204fを設け、それをマスクにして該アルミニウム膜をドライエッチング法により除去してアルミ配線2212a, bを形成させる。

【0107】次に図23(h)に示すように、前記フォトレジストパターン2204fを剥離した後、表面保護のためのシリコン窒化膜2213をプラズマCVD法により全面に形成する。該シリコン窒化膜に開孔を設けて前記アルミ配線2212a, bのボンディングパッド部



(図示されていない。)を露出させれば、エンハンスメント型及びデプレッション型のMOSFETを回路にもつNチャネル型MOSFETによる集積回路半導体装置が完成する。

【0108】このような実施例により製造されたNチャネル型MOSFETによる集積回路半導体装置は図25に示す構造のデプレッション型MOSFETをもち、デプレッション型MOSFETのチャネル領域2208及びシリコン基板2201の不純物は、図24に示すように第1導電型不純物としてのボロンと第2導電型不純物としてのリンが分布している。第1導電型不純物のピーク位置 $R_{p1}$ と第2導電型不純物のピーク位置 $R_{p2}$ は同位置または $\pm 20\text{ nm}$ 以内の位置となる。

【0109】このような構造にすることにより、デプレッション型のチャネル領域の深さはボロン及びリンの濃度にあまり影響を受けずにデプレッション型MOSFETのしきい値電圧及び駆動能力を安定して得られる構造となる。また第5の実施例では、Nチャネル型MOSFETによる例についてのみ示したが、Pチャネル型やNチャネル型及びPチャネル型双方によるCMOS型の集積回路半導体装置についても同様な効果がある。

【0110】次に図26は、本発明に係わる第6の実施例としての集積回路型半導体装置の断面図である。P型シリコン基板2601の表面に深さが $1\sim 5\text{ }\mu\text{m}$ 程度のNウエル2602が形成されている。Nウエル2602内にPMOSFETが形成されている。

【0111】Nウエル2602の形成されていないP型シリコン基板2601の表面にはN型MOSFETが形成されている。N型MOSFETはN型ソース領域2604aと、チャネル領域を挟んでN型ドレイン領域2604bが設けられている。ソース領域2604aとドレイン領域2604bとの間の基板2601の表面であるチャネル領域には、第1から第4の実施例と同様のチャネル不純物領域2607がドット状に平面的に複数分割されて設けられている。チャネル領域の表面にはゲート酸化膜2606を介してゲート電極2604cが設けられている。P型MOSFETも同様に導電型を反対して形成されている。

【0112】また、P型MOSFETのチャネル不純物領域の全チャネル領域に対する割合は、所望のねらい値を得るためにNMOSFETと異なるパターンに形成されている。例えば、チャネル不純物領域2607を設けない場合の各々のしきい値電圧が、 $0.2\text{ V}$  (N型MOSFET)と $-1.5\text{ V}$  (P型MOSFET)の場合、各々のしきい値電圧を $0.6\text{ V}$ と $-0.6\text{ V}$ に制御するために、不純物元素としてボロンを $40\text{ keV}$ 、 $4\times 10^{11}\text{ cm}^{-2}$ のイオン注入条件でP型MOSFETのチャネル領域には全面に、N型MOSFETには面積比

(0.2)の割合でチャネル領域に選択的に注入した。

即ち、1回のレジストパターン形成と、そのレジストパ

ターンをマスクとしたイオン注入により、導電型の異なるMOSFETのしきい値電圧を所望の値に制御できる。図26に示すように、各々のトランジスタのチャネル領域に各々異なる面積比でイオン注入してもよいが、一般的には、いずれか一方のみ面積比が0または1にする。残りの一方のトランジスタが面積比が0から1の間の中間値によりしきい値を制御する。

【0113】図26の第6の実施例は、各々のトランジスタの基板となる半導体領域の導電型が異なる場合の本発明の実施例の断面図であるが、同じ導電型の半導体領域の場合で、かつ半導体領域の不純物濃度が異なる場合にも同様にしきい値電圧を制御できる。

【0114】例えば、図示しないが、P型半導体基板に同じ導電型で不純物濃度の濃いPウエルを設け、P型半導体基板とPウエル内にそれぞれN型MOSFETを形成した場合、P型半導体基板内のN型MOSFETのしきい値電圧は $0.1\text{ V}$ に対し、不純物濃度が濃いPウエル内のN型MOSFETのしきい値電圧は $0.3\text{ V}$ であった。

【0115】この場合、P型半導体基板内のN型MOSFETのチャネル領域へは全面にボロンイオンを注入して $0.6\text{ V}$ に制御した。濃いPウエル内のN型MOSFETへのチャネル領域へ約50%の面積比でイオン注入して同様のしきい値電圧 $0.6\text{ V}$ を得ることができた。

【0116】チャネル不純物領域2607は、ソース・ドレイン領域より浅く形成され、一般にはチャネルドープにより形成されるので $100\text{ nm}$ より浅い不純物分布を有する。チャネル不純物領域2607の不純物を電気的に効率的にしきい値電圧制御に用いるためには、各々のMOSFETのチャネル領域が反転した場合に形成されるチャネル領域の空乏層の深さより浅く形成することが望ましい。

【0117】また、しきい値の制御性を向上するためには、チャネル不純物領域を少なくともチャネル領域内に5領域、望ましくは10領域以上設ける必要がある。もしくは、新たにチャネル不純物を導入する領域どうしの間隔や幅を $4\text{ }\mu\text{m}$ 以下、望ましくは $1\text{ }\mu\text{m}$ 以下とする必要がある。これは、図14にも示されているが局所的にしきい値電圧の高い領域の幅が $4\text{ }\mu\text{m}$ 以上になるとMOSFET全体としてのしきい値電圧が変化し難くなるためである。また図示はしないが、局所的にしきい値電圧の低い部分の幅が $4\text{ }\mu\text{m}$ 以上でかつソース・ドレイン間に連続して分布している場合(例えばチャネル長と平行な短冊状)は、ゲート電圧の低い場合でのソース・ドレイン間でのリーク電流が多くなるため、このことから新たにチャネル不純物を導入する領域どうしの間隔や幅を $4\text{ }\mu\text{m}$ 以下とすることが望ましい。

【0118】また、複数のチャネル不純物領域をチャネル領域に設けてしきい値電圧を制御するトランジスタのサイズは、従来方法による全面イオン注入制御、また

は、全面イオン注入しないトランジスタのサイズに比べ少なくとも4倍、望ましくは10倍以上のチャネル領域の面積を必要とする。従って、本発明の半導体装置としては、入出力レベルが“H” “L” のディジタル信号のみ処理するディジタル回路を構成するMOSFETには最小設計ルールを用いてチャネル領域を均一不純物領域にて形成する。入出力レベルが電源電圧と異なるアナログ信号を処理するアナログ回路を構成するMOSFETには、最小ルールによるトランジスタの約10倍以上のトランジスタで構成し、チャネル領域に複数のチャネル不純物領域を設けてしきい値を制御することが好ましい。一般に、ICは、アナログ回路とディジタル回路により構成される。しかし、アナログ回路の面積は少ない場合が一般的である。従って、アナログ回路の面積が少し増加しても、製造工程が従来より簡単にできるためコストダウンできる。特に、しきい値電圧を数多く必要とする、または、チャネルドープ前のしきい値が数多く存在して合せ込む必要がある場合に大きな効果がある。

【0119】ただし不純物の導入方法が、光学的にパターンニングされたフォトレジストのマスク無しに、例えば不純物イオンビームを直接選択的にチャネル領域に打ち込むような場合には、不純物導入領域はフォトレジストの光学的なパターンニングの最少寸法に律速されないため、前記のようにアナログ回路のトランジスタのチャネル領域がディジタル回路のトランジスタのチャネル領域よりも充分大きくする必要はない。

【0120】またフォトレジストをマスクに不純物を導入するばあいでもトランジスタのチャネル幅とチャネル長のどちらか一方が最少加工寸法よりも充分大きな場合も同様である。図27は、本発明の第7の実施例の半導体装置の断面図である。P型シリコン基板2601にゲート絶縁膜の膜厚の異なる低電圧MOSTランジスタ

(LV MOSFET) と高耐圧MOSTランジスタ (HV MOSFET) が設けられている。LV MOSFET は電源電圧3Vにて動作するために、約10nmのシリコン酸化膜で薄いゲート酸化膜2701cを形成している。HV MOSFET は、電源電圧より大きな電圧 (例えば30V) にて動作できるように約100nmのシリコン酸化膜で厚いゲート酸化膜2702cを形成している。また、LV MOSFET は、ゲート絶縁膜として10nmの酸化膜を用いているために、チャネル不純物領域2701eをチャネル領域全面に設けることによりしきい値電圧を0.4Vに制御している。

【0121】一方、HV MOSFET は、ゲート絶縁膜が100nmと厚いために同様に全面イオン注入するとしきい値電圧は3V以上と非常に大きく変化してしまう。そこで、図27に示すように、HV MOSFET のみ、チャネル面積に対して10%の割合にのみチャネル不純物領域2702eを分割して形成することにより0.8V±0.1Vに制御することができた。

【0122】図27においては、ゲート絶縁膜として、膜厚の異なるMOSFETのしきい値電圧制御の実施例を示した。図示しないが、誘電率が異なる材料のゲート絶縁膜を用いても同様に制御できる。例えば、LV MOSFETのゲート絶縁膜としてはシリコン酸化膜を用い、HV MOSFETのゲート絶縁膜としてシリコン酸化膜・シリコン窒化膜・シリコン酸化膜の三層の複合膜を用いて形成することがある。

【0123】このような場合でも、図27のようなチャネル不純物領域をパターンニングすることにより1回のイオン注入により各々のトランジスタのしきい値電圧を所望の値に制御することができる。図28は図27の半導体装置の製造方法を説明するための工程順断面図である。

【0124】まず、図28(a)に示すように各々のトランジスタを電気的に分離するためのフィールド酸化膜2603を基板2601の表面に形成する。一般的には、P型シリコン基板の上に酸化膜を介してシリコン窒化膜を通常のフォトリソグラフィ技術によりパターンニングする。

【0125】次に、シリコン窒化膜をマスクとして選択酸化することにより図28(a)のようなフィールド酸化膜をパターンニングすることができる。シリコン窒化膜の形成されている領域には厚いフィールド酸化膜2603が形成されない。選択酸化後に、シリコン窒化膜とシリコン窒化膜の下の薄い酸化膜を除去するとトランジスタ領域のみシリコン表面が露出して図28(a)のようになる。

【0126】次に、図28(b)のように1000℃程度の高温にて100nmのゲート酸化膜2801を形成する。フィールド酸化膜2603は500nm以上の厚い酸化膜である。LV MOSFETとなるトランジスタ領域に10nmのゲート酸化膜を形成するために、図28(b)のようにHV MOSFETの領域にレジスト膜2802を形成し、レジスト膜2802をマスクとしてゲート酸化膜2801を除去する。

【0127】次に、同様に1000℃程度の高温にて、短い酸化時間でシリコン基板2601を酸化する。HV MOSFETの領域には100nmのゲート酸化膜が存在していたのでほとんどそのまま、LV MOSFETの領域にのみ10nmの酸化膜2803がゲート酸化膜として形成される。

【0128】次に、図28(d)のようにチャネル不純物形成のためのレジスト膜2804を形成する。図28(d)においては、LV MOSFETの領域には全面レジストが形成されている。一方、HV MOSFETの領域には、チャネル領域に複数のチャネル不純物領域2806が形成されるように平面的に分割されたレジストの窓が複数チャネル領域内に形成されている。レジスト膜2804をマスクとしてボロンイオンをイオン注入す

る。

【0129】次に、各々のゲート絶縁膜の上にゲート電極2805を形成する。図示しないが、ゲート電極2805を形成後、ゲート電極及びフィールド酸化膜をマスクとしてN型の不純物元素ヒ素イオンを注入して、各々のMOSFETのソース・ドレイン領域を形成する。

【0130】次に、A1配線とゲート電極との間の電気的分離をするための中間絶縁膜を全面に形成する。次に、各々の領域及びゲート電極とA1配線とのコンタクトをするためのコンタクトホールを中間絶縁膜に形成する。

【0131】次に、コンタクトホールをカバーするようにA1配線をパターンニングして半導体装置を製造する。チャンネル不純物領域を形成するためのイオン注入工程は、図28(a)に示したフィールド酸化膜2603の形成と図28(b)と厚いゲート酸化膜形成との間、または、図28(b)の厚いゲート酸化膜形成と図28(c)の薄いゲート酸化膜形成工程との間でもよい。薄い酸化膜2803の上にレジスト膜2804を形成すると薄いゲート酸化膜2803の膜質が低下して集積回路半導体装置の歩留りが低下することがある。従って、一般には、厚いゲート酸化膜形成工程と薄い酸化膜形成工程との間にイオン注入工程を行う。

【0132】図29は、本発明の第8実施例のSOI(Silicon On Insulatorの略)基板を用いた半導体装置の製造方法を説明するための工程順断面図である。本発明は、図29に示すように、チャンネル領域がシリコン薄膜で形成された場合に効果を大きくすることができる。シリコン薄膜は、単結晶、多結晶あるいは、非晶質(アモルファス)いずれの場合も適用できる。チャンネル領域を薄膜で形成することにより、しきい値電圧制御のためのチャンネル不純物領域の不純物濃度がより効果的に制御できる。特に、チャンネル領域の厚さを反転時の空乏層より薄く形成することにより、さらに効果的に制御できる。しきい値電圧がチャンネル不純物領域により、主に影響されるためである。

【0133】SOI基板でない厚い基板の場合には、反転になる場合の空乏層の電荷が反転層の下に多く形成される。SOI基板においては、チャンネル領域が空乏層より薄い膜のために空乏電荷量が少ない。空乏電荷量は基板濃度の関数であるが、基板が無いためにしきい値電圧はほとんどチャンネル領域内の不純物濃度分布によって制御される。

【0134】図29を用いて製造方法を説明する。シリコン基板2601の表面に1 $\mu$ mの酸化膜2901を介して100nmの単結晶シリコン膜2902が設けられている。チャンネル不純物領域を形成するためのレジストパターン2903を通常のフォトリソグラフィ技術により形成する。MOSFETのチャンネル領域にレジスト膜の複数の窓を設けている。レジスト膜2903をマ

スクとしてボロンイオンを単結晶シリコン膜2902へイオン注入する。

【0135】次に、必要に応じて、図29(b)のように、ボロンを1000℃程度の高温にて熱拡散することにより不純物分布を一様に平均化する。次に、通常のフォトリソグラフィ工程によりトランジスタ領域にレジスト膜2906をパターンニングして分離領域を形成する。

【0136】図29(c)においては、レジスト膜2906をマスクにして異なる不純物濃度分布となったシリコン膜2904、2905をエッチング除去する。分離形成は、選択酸化により形成してもよい。次に、図29(d)のようにLV MOSFETに薄いゲート絶縁膜2907をHV MOSFETに厚いゲート酸化膜2908を形成する。

【0137】次、図29(e)のように各々のゲート絶縁膜の上にゲート電極2909を形成する。次に、図29(d)のようにゲート電極2909をマスクとしてN型不純物をイオン注入してLV NMOSFETとHV NMOSFETのソース・ドレイン領域2910を形成しトランジスタを完成させる。少なくともいずれか一方のチャンネル領域には、図29(a)でイオン注入された形成されたチャンネル領域不純物領域が平面的に分割されて複数設けられている。

【0138】SOI基板においては、図29(b)の熱拡散の条件と図29(a)のレジスト膜の間隔との関係により、結果としてチャンネル不純物領域が分割されずに、平均的に均一分布として異なる濃度として形成することもできる。均一分布に制御したい場合には、不純物の拡散長よりレジスト膜の間隔を充分小さく形成すればよい。

【0139】また、図29においては、半導体領域として100nmと非常に薄いSOI基板の場合の実施例について説明した。熱拡散を充分した場合には、チャンネル不純物領域がシリコン薄膜の底に達する。この場合には、しきい値電圧は、ほとんどチャンネル不純物領域により主に制御されることになる。即ち、半導体領域の厚さが、チャンネル不純物領域の深さとほぼ同じになる場合には、空乏層の影響が小さくなるためにしきい値電圧の制御性がより高くできる。また、チャンネル不純物領域の深さ程度まで半導体領域としてのシリコン薄膜を薄くせずとも効果を得ることができる。少なくとも、チャンネル領域である空乏層の深さよりシリコン薄膜を薄くできれば空乏層の影響は小さくなるためしきい値制御感度を高くできる。一般に、従来の厚い半導体基板と異なるSOI基板においては10 $\mu$ m以下のシリコン薄膜が用いられている。また、図示しないが、各々異なる膜厚のシリコン薄膜を有するMOSFETに対しても同様な方法にて容易にしきい値電圧を制御できる。また、CMOS型SOI集積回路も同様な方法にて形成できる。

【0140】図30は、本発明に係わる第9の実施例のMOSFETを表す模式的な平面図である。また図31は、図30に示した第9の実施例のMOSFETのA-A'断面を表す模式的な断面図である。

【0141】ここで第9の実施例のMOSFETには、第1の膜厚のゲート絶縁膜領域3004と、第2の膜厚のゲート絶縁膜領域3005が同一のチャネル領域上に形成されている。さらに第9の実施例のMOSFETは、P型半導体基板上に形成されるN型MOSFETで、第1の膜厚のゲート絶縁膜領域3004は第1層目（下層）のポリシリコンで通常形成されるMOSFETのゲート絶縁膜厚であり、約60nmの厚さがある。

【0142】また、第2の膜厚のゲート絶縁膜領域3005は、FLOTOX型不揮発性メモリのフローティングゲートに電荷を注入または引き抜くためのトンネル絶縁膜を代用しており、厚さは約10nmである。通常FLOTOX型不揮発性メモリでは、トンネル絶縁膜の下には、比較的濃い濃度のN型不純物拡散層となっているが、本実施例ではP型半導体基板となっている。

【0143】トンネル絶縁膜で代用された第2の膜厚のゲート絶縁膜領域3005はチャネル幅と平行に複数の短冊状に描かれている。また本実施例では、しきい値電圧合わせ込み用の不純物は、通常のゲート絶縁膜やトンネル絶縁膜の形成前に不純物導入用の薄い絶縁膜を形成して、なおかつ不純物導入用マスクパターン3008で光学的にパターンニングされたフォトレジスト等で選択されたチャネル領域に不純物導入用の薄い絶縁膜を介して不純物イオンをイオン注入法等で導入しているためゲート絶縁膜直下の表面濃度はゲート絶縁膜厚によらず一定である。

【0144】さらに、第1のゲート絶縁膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007の組み合わせにより、第1の実施例のMOSFETにおいて第2の不純物濃度領域の面積比を決めたのと同様に第2の膜厚のゲート絶縁膜領域の面積比を所望の値に決定する。

【0145】また、同一の面積比であっても第1の膜厚のゲート酸化膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007のサイズが異なる場合がある。図32は、本発明に係わる第10の実施例のMOSFETを表す模式的な平面図である。

【0146】第9の実施例と同様に第2の膜厚のゲート絶縁膜領域3005が複数の短冊状に描かれているが、第10の実施例ではチャネル長と平行な方向の短冊状となっている。第10の実施例においても第2の膜厚のゲート絶縁膜領域の面積比を所望の値に決定する。また、同一の面積比であっても第1の膜厚のゲート絶縁膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007のサイズが異なる場合がある。

【0147】図33は、本発明に係わる第11の実施例

のMOSFETを表す模式的な平面図である。第11の実施例においては、第2の膜厚のゲート絶縁膜領域3005がドット状に存在している。第11の実施例においても第9及び第10の実施例同様に第2の膜厚のゲート絶縁膜領域の面積比を所望の値に決定する。また、同一の面積比であっても第1の膜厚のゲート酸化膜領域の幅3006と第2の膜厚のゲート絶縁膜領域の幅3007のサイズが異なる場合がある。

【0148】図34は、本発明に係わる第12の実施例のMOSFETを表す模式的な平面図である。第12の実施例は、第9の実施例の改良型でフィールド絶縁膜エッジから第2の膜厚のゲート絶縁膜領域3005を離れた構成となっている。

【0149】このような構成とする事で、第2の膜厚のゲート絶縁膜領域3005の膜厚が非常に薄くてもゲート電極に高電界が加えられた場合のフィールド絶縁膜エッジでの基板へのリーク電流を減らす事ができる。図35は、本発明に係わる第13の実施例のMOSFETを表す模式的な平面図である。

【0150】第13の実施例は、第10の実施例の改良型でソース及びドレインエッジから第2の膜厚のゲート絶縁膜領域3005を離れた構成となっている。このような構成とする事で、第2の膜厚のゲート絶縁膜領域3005の膜厚が非常に薄くてもソース及びドレインの耐圧を向上させることができる。

【0151】図36は、本発明に係わる第14の実施例である電圧昇圧回路（チャージポンプ回路）の回路図である。MOSFETのドレイン電極とゲート電極が同一のノードで接続されたMOSダイオードを複数直列に接続し、おのおののMOSダイオード同士が接続されるノードには、それぞれ容量が接続されている。容量の片方の電極には $\phi$ 及び $\phi x$ という互いに位相のずれた信号をひとつおきに交互に与える構造になっており、容量C1からCnへ順次電荷を転送する事により、電源電圧VDよりも昇圧された高い電圧であるVPPがMOSダイオードMnより出力される。

【0152】このときMOSダイオードM1～Mnがすべて同じしきい値電圧で構成されていると、後段になるほど基板効果により実質的なしきい値電圧が高くなるため、ドレイン電圧に対するソース電圧の低下が次第に大きくなる。すなわちチャージポンプ回路の効率が後段ほど悪くなるのである。

【0153】そこで本実施例では、MOSダイオードM1～Mnのチャネル領域における第2の不純物濃度の面積比をそれぞれ変えて、後段ほどしきい値電圧が低くなるように構成されている。現実には、前段にはチャネルの不純物濃度がネイティブ状態（本実施例ではしきい値電圧が約0.00V）のトランジスタを使用し、後段になるほどデプレッション状態が深くなる、すなわちノーマリーオンの状態が強くなるようになっている。しかし

ながら後段のMOSダイオードほど基板効果によるしきい値電圧の上昇が大きい結果として実質的なしきい値電圧は、どのMOSダイオードも0V近辺となり、各段におけるドレイン電圧に対するソース電圧の低下は低く抑えられ電圧昇圧回路の効率は非常に高くなる。またすべてのMOSダイオードのしきい値電圧を異なる電圧にするのではなく、いくつかのブロックに分けて数段づつしきい値電圧を変えても良い。

【0154】また、第2のゲート絶縁膜領域の面積比を変える事によって、しきい値電圧を変えても同様の効果が得られる。図37は、第15の実施例であるところの電圧昇圧回路を搭載する不揮発性半導体記憶装置の簡単なブロック図である。

【0155】このように、効率の高い電圧昇圧回路を搭載する事で、0.7Vから1.0V程度の極低電圧域でも電氣的にデータの書き込み及び消去ができる不揮発性半導体記憶装置が実現できる。図38は、本発明に係わる第16の実施例である差動増幅回路を有する一定電圧出力回路の回路図である。

【0156】差動増幅回路部3801で基準電圧発生回路部3802で発生された基準となる一定電圧と出力回路部3803で外部に出力される電圧を抵抗R1及びR2で抵抗分割された電圧とを比較する事で、出力端子VOUTから出力の負荷が変わっても常に一定の電圧を出力する構成となっている。

【0157】本実施例では、NMOSトランジスタM3の基板効果によるしきい値電圧の上昇で低電圧動作時にトランジスタM3がカットオフするのを防ぐために、比較的低いしきい値電圧(約0.34V)のエンハンスメント型NMOSトランジスタM3、M4及びM5を差動増幅回路部3801に使用している。

【0158】また基準電圧発生回路部3802には、高温時におけるNMOSトランジスタM8のリーク電流を抑えて基準電圧値を安定させるために比較的高いしきい値電圧(約0.50V)のエンハンスメント型NMOSトランジスタM8を使用している。

【0159】さらに前記基準電圧発生回路部3802には、デプレッション型NMOSトランジスタM7( $V_{th} = -0.40V$ )が使用されており、本実施例全体でNMOSトランジスタのしきい値電圧は合計で3種類存在することとなる。従来の技術ではこの3種類のしきい値電圧のトランジスタを製造するためにはそれぞれ別の3回の不純物導入工程を必要としたが、本実施例では第2の不純物濃度領域を適切な形状と面積比にする事で、これらのトランジスタが2回もしくは1回の不純物導入工程で製造する事が可能となる。

【0160】

【発明の効果】この発明は、以上説明したように同一のMOSFETのチャネル領域に平面的に複数の不純物濃度領域や複数の膜厚のゲート絶縁膜領域を設ける事に

り、結果として複数の表面反転電圧の領域を設け、さらに第1の表面反転電圧領域の平面的面積と第2以降の表面反転電圧領域の平面的面積の比率を複数設けるか、もしくは同一の面積比であっても、第1の表面反転電圧領域及び第2以降の表面反転電圧領域の平面的大きさや形状を複数設けることで以下の半導体装置を簡単に製造できる効果を有する。

【0161】(1)同一基板上に非常に多くの種類のしきい値電圧を有するMOSFETを低コストで形成できる。

(2)ほぼ同じレベルのしきい値電圧を有する高耐圧MOSFETと低電圧MOSFETを低コストで形成できる。

【0162】(3)ほぼ同じレベルのしきい値電圧を有するN型MOSFETとP型MOSFETを低コストで形成できる。

(4)前記(1)から(3)のMOSFETを搭載することでより高性能な半導体集積回路装置を低コストで製造できる。

【図面の簡単な説明】

【図1】本発明における第1の実施例のMOSFETの模式的平面図である。

【図2】本発明における第2の実施例のMOSFETの模式的平面図である。

【図3】本発明における第2の実施例のMOSFETの模式的断面図である。

【図4】本発明における第3の実施例のMOSFETの模式的平面図である。

【図5】本発明における第4の実施例のMOSFETの模式的平面図である。

【図6】本発明における第1～3の実施例のデプレッション型MOSFETの具体的な各部のサイズや種類を示した説明図である。

【図7】本発明における第1～3の実施例のエンハンスメント型MOSFETの具体的な各部のサイズや種類を示した説明図である。

【図8】本発明における第1～3の実施例のMOSFETの特性と比較するための従来技術によるMOSFETの具体的な各部のサイズや種類を示した説明図である。

【図9】本発明における第1の実施例のデプレッション型MOSFETのしきい値電圧を測定する際のゲート電圧に対するドレイン電流を示した説明図である。

【図10】本発明における第1の実施例のデプレッション型MOSFETのしきい値電圧を測定する際のゲート電圧に対するドレイン電流を対数で表しサブスレッショルド電流を示すための説明図である。

【図11】本発明における図6の表に示したMOSFETの中で、第1の実施例に係わるMOSFETのしきい値電圧と全チャネル領域の面積に対する第2の不純物濃度領域の面積比との関係を示したグラフである。



【図 1 2】本発明における図 6 の表に示した MOSFET の中で、第 2 の実施例に係わる MOSFET のしきい値電圧と全チャネル領域の面積に対する第 2 の不純物濃度領域の面積比との関係を示したグラフである。

【図 1 3】本発明における図 6 の表に示した MOSFET の中で、第 3 の実施例に係わる MOSFET のしきい値電圧と全チャネル領域の面積に対する第 2 の不純物濃度領域の面積比との関係を示したグラフである。

【図 1 4】本発明における図 6 の表に示した MOSFET の中で、第 1 及び第 2 の実施例の MOSFET のしきい値電圧と第 1 の不純物濃度領域の幅との関係を示したグラフである。

【図 1 5】本発明における第 1 の実施例のエンハンスメント型 MOSFET のしきい値電圧を測定する際のゲート電圧に対するドレイン電流を示した説明図である。

【図 1 6】本発明における第 1 の実施例のエンハンスメント型 MOSFET のしきい値電圧を測定する際のゲート電圧に対するドレイン電流を対数で表しサブスレッショルド電流を示すための説明図である。

【図 1 7】本発明における図 7 の表に示した MOSFET の中で、第 1 の実施例に係わる MOSFET のしきい値電圧と全チャネル領域の面積に対する第 2 の不純物濃度領域の面積比との関係を示したグラフである。

【図 1 8】本発明における図 7 の表に示した MOSFET の中で、第 2 の実施例に係わる MOSFET のしきい値電圧と全チャネル領域の面積に対する第 2 の不純物濃度領域の面積比との関係を示したグラフである。

【図 1 9】本発明における図 7 の表に示した MOSFET の中で、第 3 の実施例に係わる MOS トランジスタのしきい値電圧と全チャネル領域の面積に対する第 2 の不純物濃度領域の面積比との関係を示したグラフである。

【図 2 0】本発明における図 6 の表に示した MOSFET の中で、第 1 の実施例に係わる MOSFET の飽和電流値と全チャネル領域の面積に対する第 2 の不純物濃度領域の面積比との関係を示したグラフである。

【図 2 1】本発明における図 6 の表に示した MOSFET の中で、第 2 の実施例に係わる MOSFET の飽和電流値と全チャネル領域の面積に対する第 2 の不純物濃度領域の面積比との関係を示したグラフである。

【図 2 2】本発明における第 5 の実施例を示す半導体装置の製造方法の工程順断面図である。

【図 2 3】本発明における第 5 の実施例を示す半導体装置の製造方法の工程順断面図である。

【図 2 4】本発明における第 5 の実施例のデプレッション型 MOSFET のチャネル領域の不純物濃度分布である。

【図 2 5】本発明における第 5 の実施例におけるデプレッション型 MOSFET の断面図である。

【図 2 6】本発明における第 6 の実施例の CMOS IC の断面図である。

【図 2 7】本発明における第 7 の実施例の高耐圧 MOSFET 内蔵 IC の断面図である。

【図 2 8】本発明における第 7 の実施例の高耐圧 MOSFET 内蔵 IC の製造工程順断面図である。

【図 2 9】本発明における第 8 の実施例の SOI 半導体装置の製造工程順断面図である。

【図 3 0】本発明の第 9 の実施例の MOSFET の模式的平面図である。

【図 3 1】本発明における第 9 の実施例の MOSFET の模式的断面図である。

【図 3 2】本発明における第 1 0 の実施例の MOSFET 模式的平面図である。

【図 3 3】本発明における第 1 1 の実施例の MOSFET の模式的平面図である。

【図 3 4】本発明における第 1 2 の実施例の MOSFET の模式的平面図である。

【図 3 5】本発明における第 1 3 の実施例の MOSFET の模式的平面図である。

【図 3 6】本発明における第 1 4 の実施例の電圧昇圧回路の回路図である。

【図 3 7】本発明における第 1 5 の実施例の第 1 4 の実施例の電圧昇圧回路を搭載した不揮発性半導体記憶装置のブロック図を示した図である。

【図 3 8】本発明における第 1 6 の実施例の差動増幅回路を有する一定電圧出力回路の回路図である。

【図 3 9】従来の技術による MOSFET の模式的平面図である。

【図 4 0】従来の技術による MOSFET の模式的断面図である。

【符号の説明】

1 0 1、2 9 0 9、3 0 0 1、3 9 0 1、4 0 0 1 ゲート電極

1 0 2、3 0 0 2、3 9 0 2、4 0 0 2 ソース領域

1 0 3、3 0 0 3、3 9 0 3、4 0 0 3 ドレイン領域

1 0 4 第 1 の不純物濃度のチャネル領域

1 0 5 第 2 の不純物濃度のチャネル領域

1 0 6 不純物導入用マスクのパターン

1 0 7 不純物導入用マスクパターンの幅

1 0 8 不純物導入用マスクパターンの間隔

3 0 1、3 1 0 1、4 0 0 7 フィールド絶縁膜

3 0 2、4 0 0 5 ゲート絶縁膜

2 2 0 1 P 型シリコン基板

2 2 0 2 熱酸化膜

2 2 0 3 シリコン窒化膜

2 2 0 4 a ~ f フォトリソグロブパターン

2 2 0 5、2 6 0 3 フィールド酸化膜

2 2 0 6 熱酸化膜

2 2 0 7 元の基板より不純物濃度の高い P 型領域

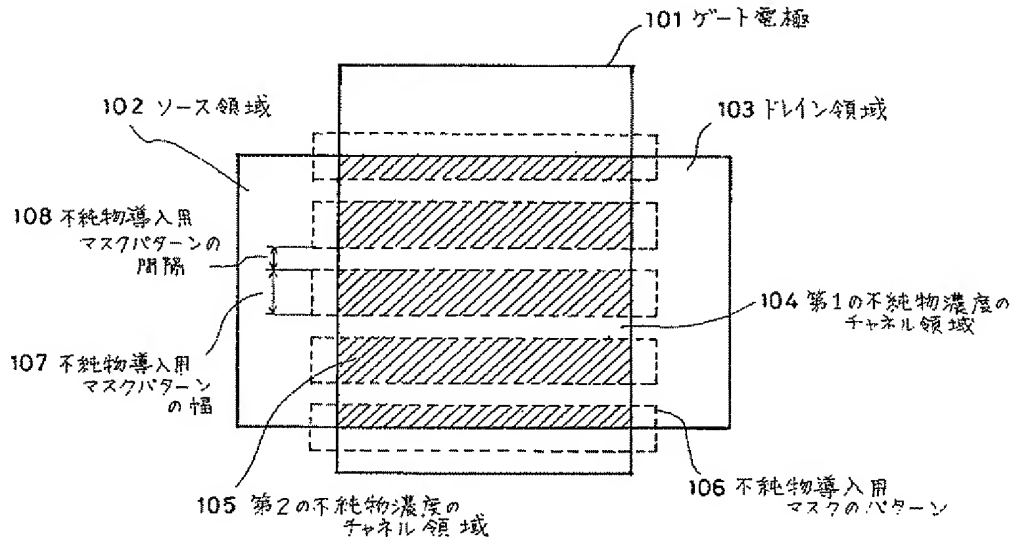
2 2 0 8 デプレッション型 MOSFET のチャネル領域



2209a, b ポリシリコン電極  
 2210a~d 高濃度N型領域  
 2211 PSG膜  
 2212a, b アルミ配線  
 2213 シリコン窒化膜  
 2601 P型シリコン基板  
 2602 Nウェル  
 2604a, 2701a N型ソース領域  
 2606 ゲート酸化膜  
 2702a, 2702b, 2604b, 2701b N 10  
 型ドレイン領域  
 2604c, 2605c, 2805, 2701d, 27  
 02d ゲート電極  
 2605a P型ソース領域  
 2605b P型ドレイン領域  
 2607, 2701e, 2702e, 2806 チャネ  
 ル不純物領域  
 2701c, 2907, 2803 薄いゲート酸化膜  
 2702c 厚いゲート酸化膜  
 2801, 2908 厚いゲート絶縁膜  
 2802, 2804 レジスト膜  
 2901 絶縁膜

2902 単結晶シリコン膜  
 2903, 2906 フォトリジスト  
 2904 第1の不純物濃度分布をもつシリコン膜  
 2905 第2の不純物濃度分布をもつシリコン膜  
 2910 ソース・ドレイン領域  
 3004 第1の膜厚のゲート絶縁膜領域  
 3005 第2の膜厚のゲート絶縁膜領域  
 3006 第1の膜厚のゲート絶縁膜領域の幅  
 3007 第2の膜厚のゲート絶縁膜領域の幅  
 3008 不純物導入用マスクのパターン  
 3601 NMOSTランジスタによるMOSダイオー  
 ド  
 3602 電荷蓄積用の容量  
 3801 差動増幅回路部  
 3802 基準電圧発生回路部  
 3803 出力回路部  
 3904 チャネル領域1  
 3905 イオン打ち込み用マスク1のパターン  
 3906, 3908 チャネル領域2  
 3907 イオン打ち込み用マスク2のパターン  
 4004 チャネル領域  
 4006 半導体基板

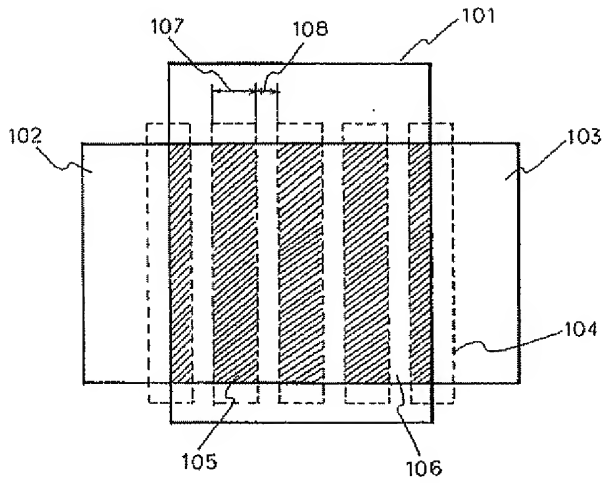
【図1】



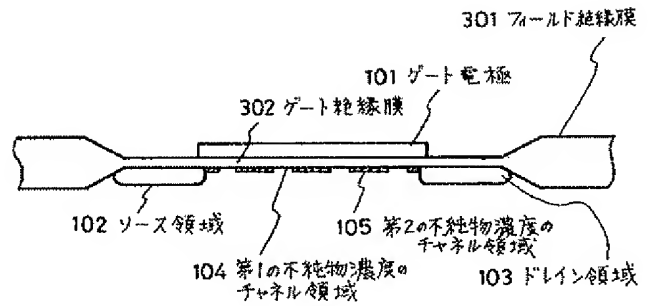
【図8】

	トランジスタのタイプ	チャネル幅 (W)	チャネル長 (L)	不純物導入用マスクパターンの形状とサイズ			第2濃度領域 の面積比
				形状	幅	間隔	
Tr-47	デプレッション型NMOS	50μm	50μm	チャネル領域全面	-	-	1.000
Tr-48	エンハンスメント型NMOS	50μm	50μm	チャネル領域全面	-	-	1.000
Tr-49	ゼロスレッショルド型NMOS	50μm	50μm	無し(ノイティブ状態)	-	-	0.000

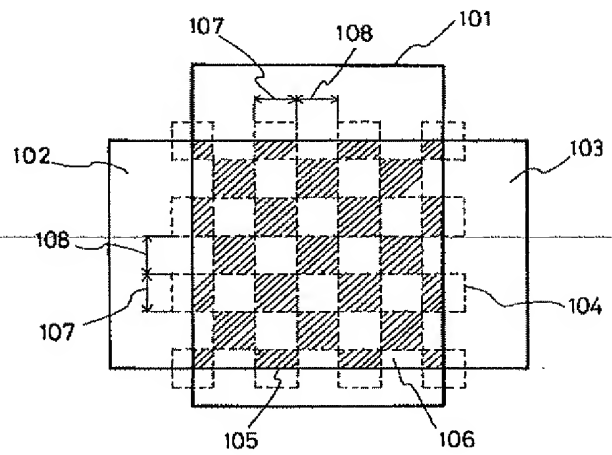
【図 2】



【図 3】

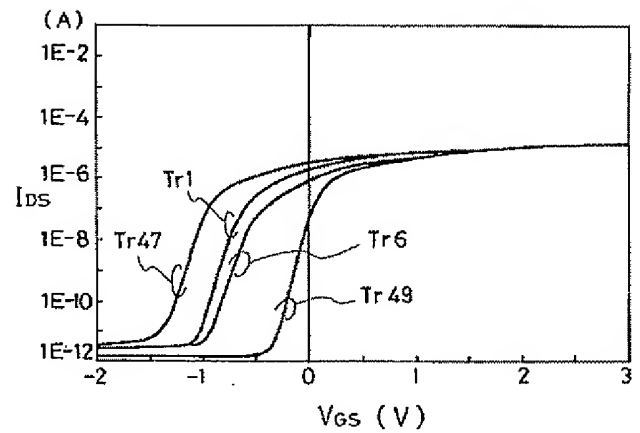
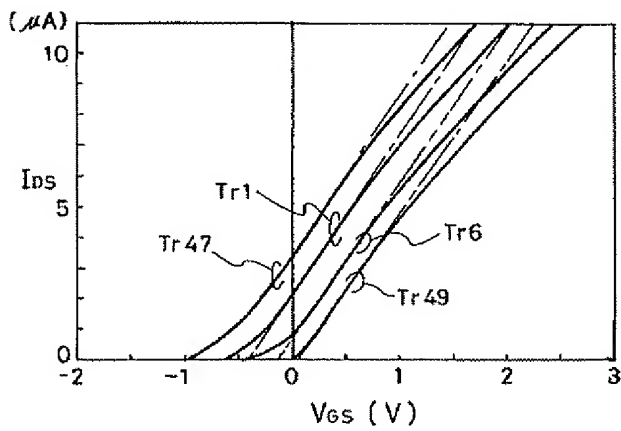


【図 5】



【図 10】

【図 9】



【図6】

	トランジスタのタイプ	チャネル幅 (W)	チャネル長 (L)	不純物導入用マスクパターンの形状とサイズ			第2濃度領域 の面積比	備考
				形状	幅	間隔		
Tr-1	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	1.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.500	
Tr-2	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	2.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.660	
Tr-3	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	1.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.340	
Tr-4	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	2.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.520	
Tr-5	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	4.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.800	
Tr-6	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	1.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.200	
Tr-7	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	4.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.520	
Tr-8	ダブルゲート型NMOS	50 $\mu\text{m}$	60 $\mu\text{m}$	L方向と平行な短冊状	12.5 $\mu\text{m}$	25.0 $\mu\text{m}$	0.500	*1
Tr-9	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	1.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.500	
Tr-10	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	2.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.660	
Tr-11	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	1.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.340	
Tr-12	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	2.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.520	
Tr-13	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	4.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.800	
Tr-14	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	1.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.200	
Tr-15	ダブルゲート型NMOS	50 $\mu\text{m}$	60 $\mu\text{m}$	W方向と平行な短冊状	4.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.520	
Tr-16	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	12.5 $\mu\text{m}$	25.0 $\mu\text{m}$	0.500	*1
Tr-17	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	1.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.250	
Tr-18	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	2.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.444	
Tr-19	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	1.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.116	
Tr-20	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	2.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.270	
Tr-21	ダブルゲート型NMOS	50 $\mu\text{m}$	60 $\mu\text{m}$	ドット状	4.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.640	
Tr-22	ダブルゲート型NMOS	50 $\mu\text{m}$	60 $\mu\text{m}$	ドット状	1.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.040	
Tr-23	ダブルゲート型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	4.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.270	

\*1) 幅=12.5  $\mu\text{m}$ ×2 間隔=25.0  $\mu\text{m}$ ×1

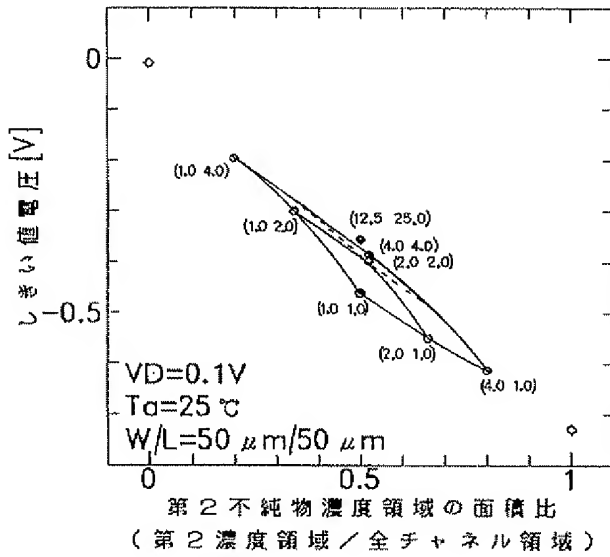
【図7】

	トランジスタのタイプ	チャネル幅 (W)	チャネル長 (L)	不純物導入用マスクパターンの形状とサイズ			第2濃度領域 の面積比	
				形状	幅	間隔		
Tr-24	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	1.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.500	
Tr-25	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	2.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.660	
Tr-26	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	1.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.340	
Tr-27	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	2.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.520	
Tr-28	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	4.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.800	
Tr-29	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	1.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.200	
Tr-30	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	4.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.520	
Tr-31	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	L方向と平行な短冊状	12.5 $\mu\text{m}$	25.0 $\mu\text{m}$	0.500	*1
Tr-32	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	1.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.500	
Tr-33	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	2.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.660	
Tr-34	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	1.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.340	
Tr-35	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	2.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.520	
Tr-36	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	4.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.800	
Tr-37	エンハンスメント型NMOS	50 $\mu\text{m}$	60 $\mu\text{m}$	W方向と平行な短冊状	1.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.200	
Tr-38	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	4.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.520	
Tr-39	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	W方向と平行な短冊状	12.5 $\mu\text{m}$	25.0 $\mu\text{m}$	0.500	*1
Tr-40	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	1.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.250	
Tr-41	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	2.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.444	
Tr-42	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	1.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.116	
Tr-43	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	2.0 $\mu\text{m}$	2.0 $\mu\text{m}$	0.270	
Tr-44	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	4.0 $\mu\text{m}$	1.0 $\mu\text{m}$	0.640	
Tr-45	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	1.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.040	
Tr-46	エンハンスメント型NMOS	50 $\mu\text{m}$	50 $\mu\text{m}$	ドット状	4.0 $\mu\text{m}$	4.0 $\mu\text{m}$	0.270	

\*1) 幅=12.5  $\mu\text{m}$ ×2 間隔=25.0  $\mu\text{m}$ ×1

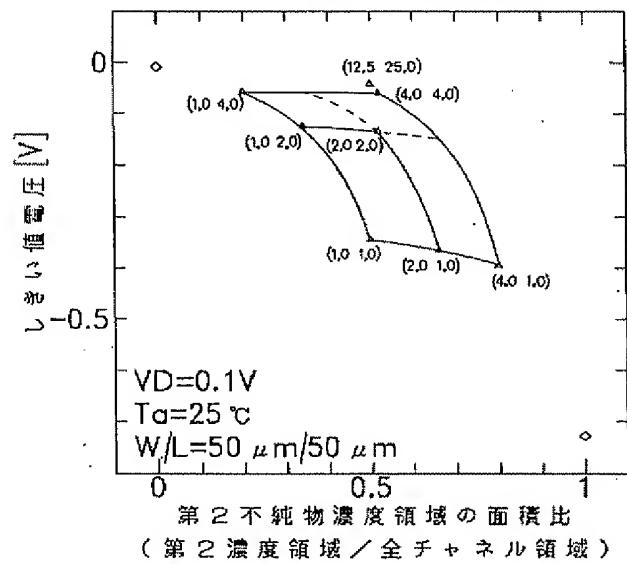
【図 1 1】

第 2 濃度領域の面積比 対しきい値電圧  
(チャンネル長と平行な短冊状)



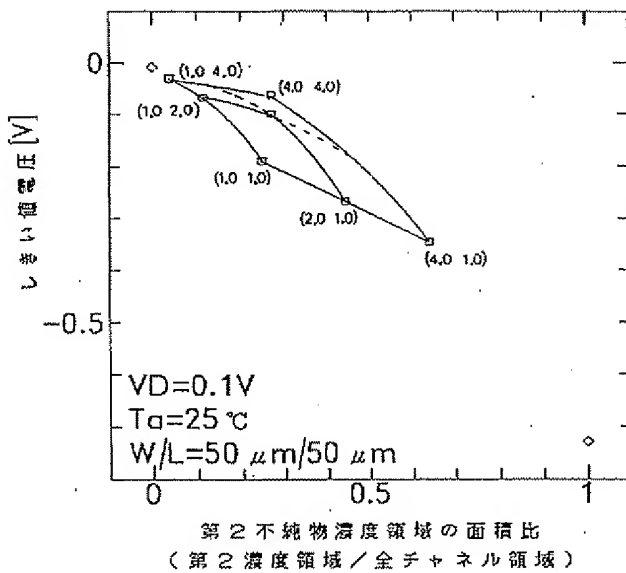
【図 1 2】

第 2 不純物濃度領域の面積比 対しきい値電圧  
(チャンネル幅と平行な短冊状)



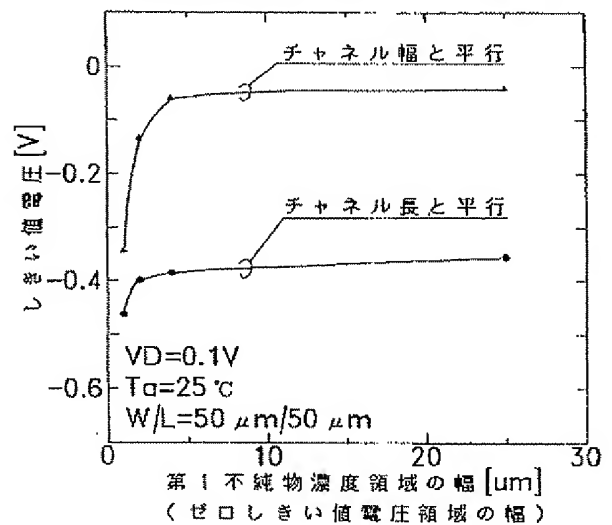
【図 1 3】

第 2 不純物濃度領域の面積比 対しきい値電圧  
(ドット状)

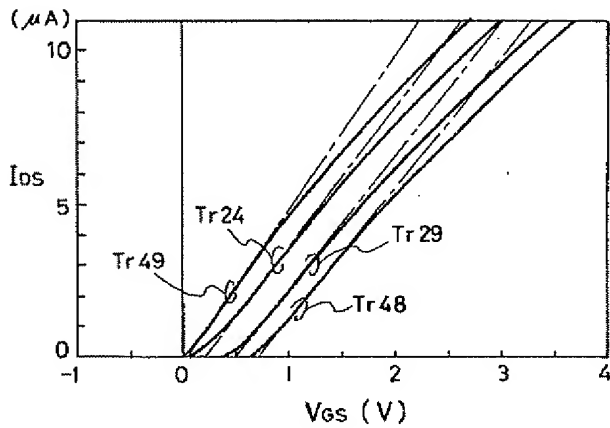


【図 1 4】

第 1 不純物濃度領域の幅 対しきい値電圧

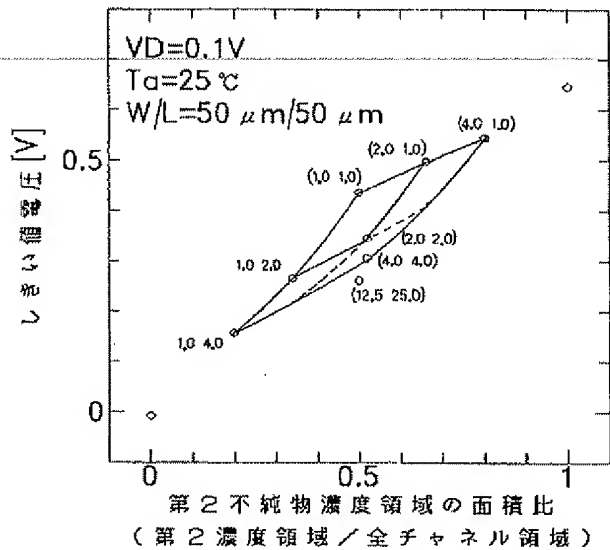


【図 1 5】

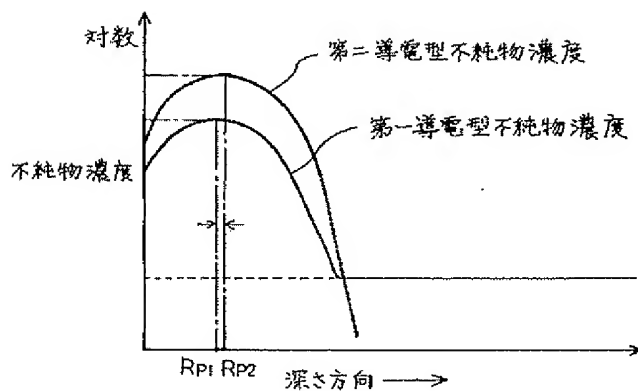


【図 1 7】

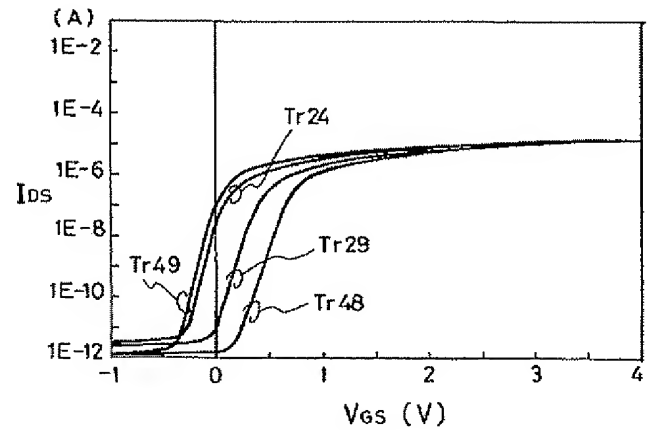
第2不純物濃度領域の面積比対しきい値電圧  
(チャンネル長と平行な短冊状)



【図 2 4】

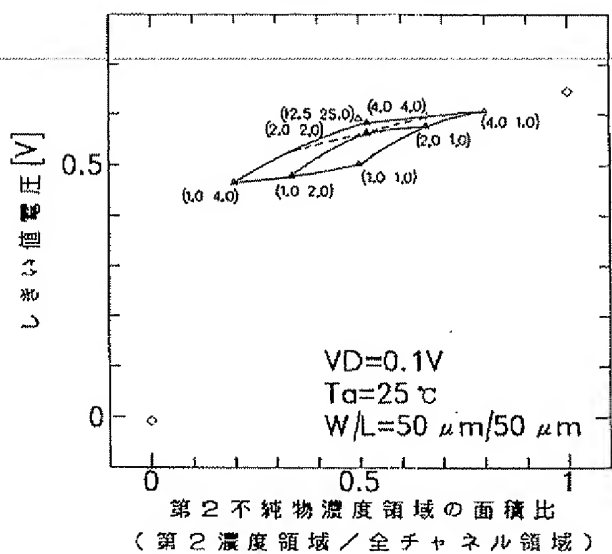


【図 1 6】

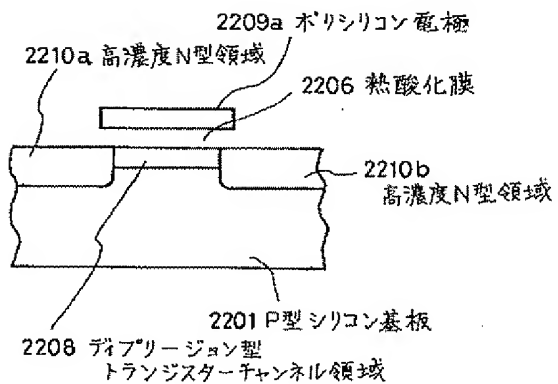


【図 1 8】

第2不純物濃度領域の面積比対しきい値電圧  
(チャンネル幅と平行な短冊状)

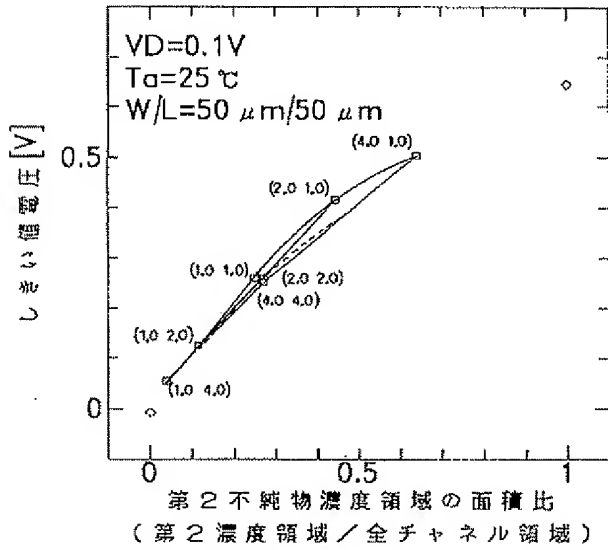


【図 2 5】



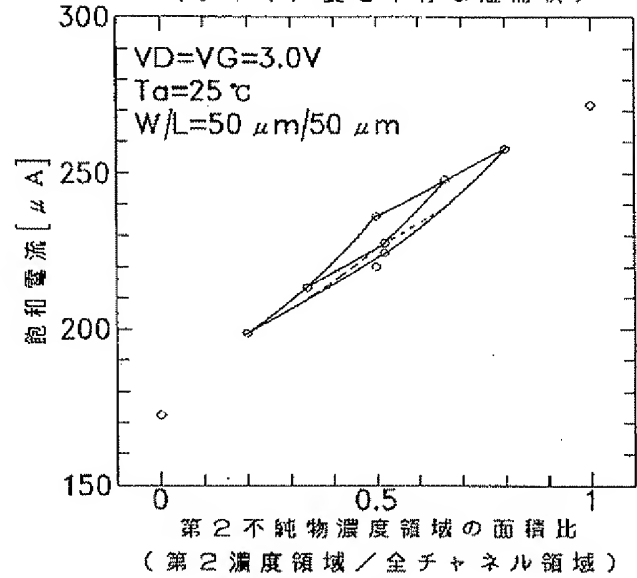
【図19】

第2不純物濃度領域の面積比対しきい値電圧  
(ドット状)



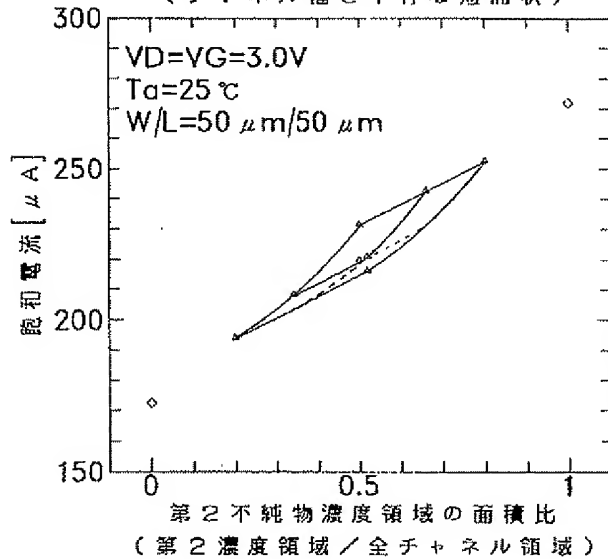
【図20】

第2濃度領域の面積比対飽和電流  
(チャネル長と平行な短冊状)

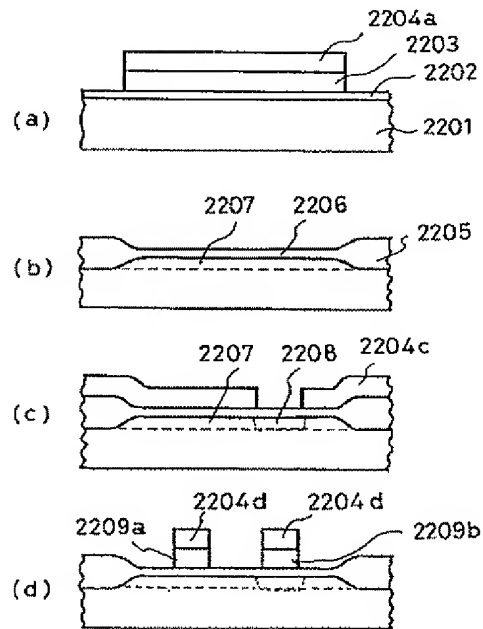


【図21】

第2不純物濃度領域の面積比対飽和電流  
(チャネル幅と平行な短冊状)

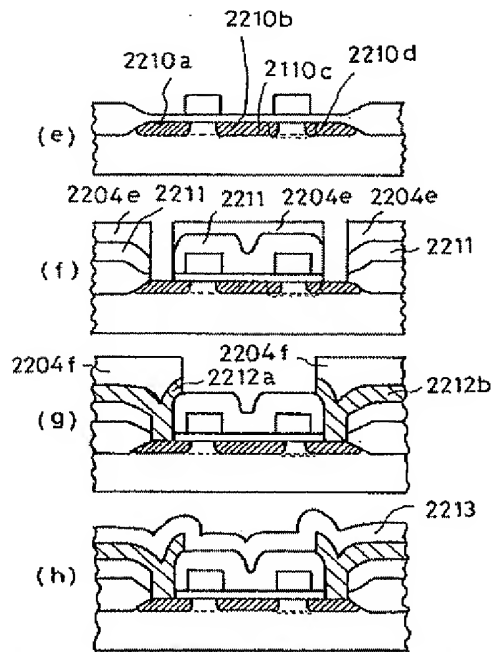


【図22】

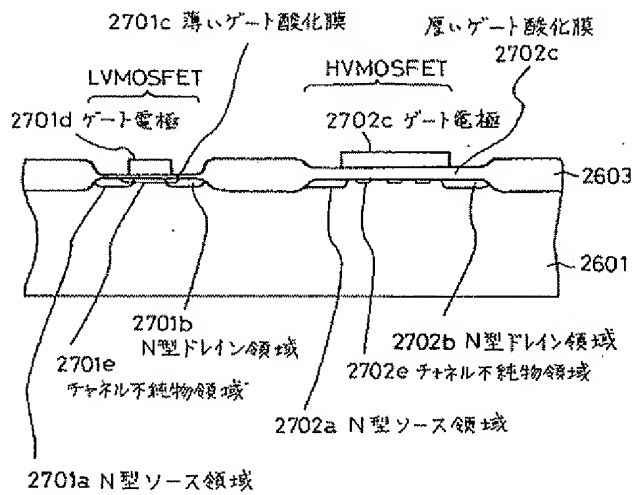




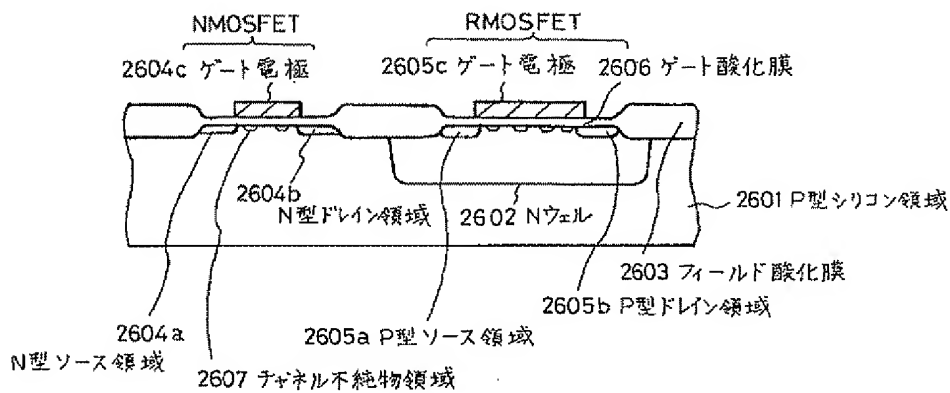
【図23】



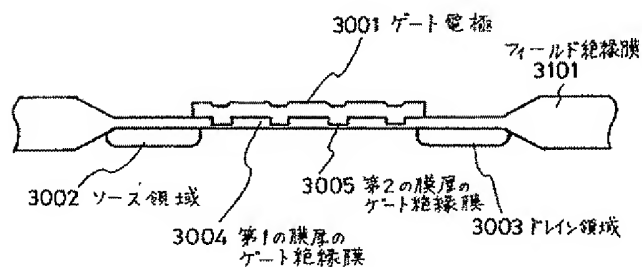
【図27】



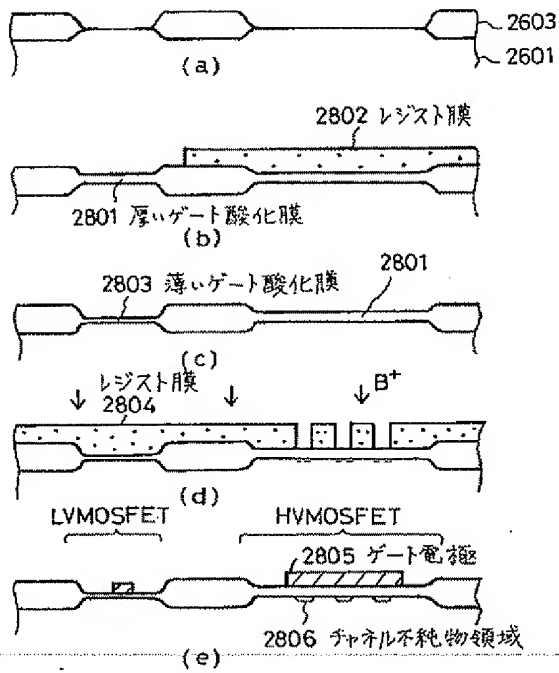
【図26】



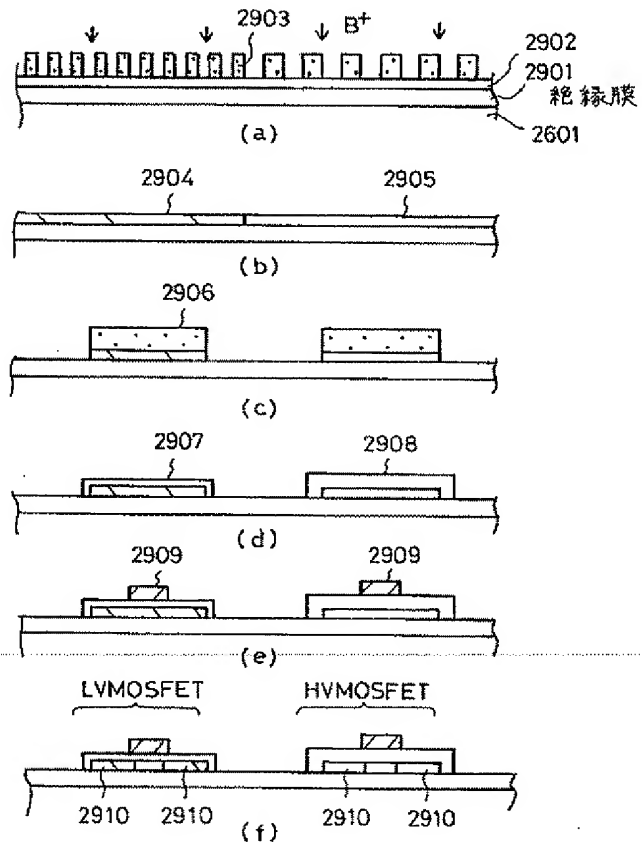
【図31】



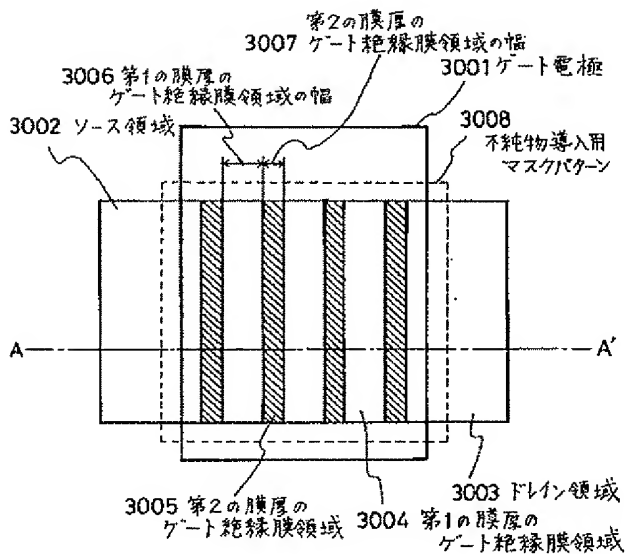
【図 2 8】



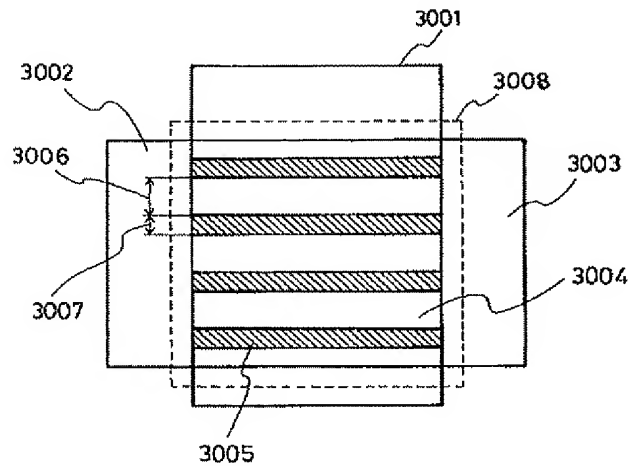
【図 2 9】



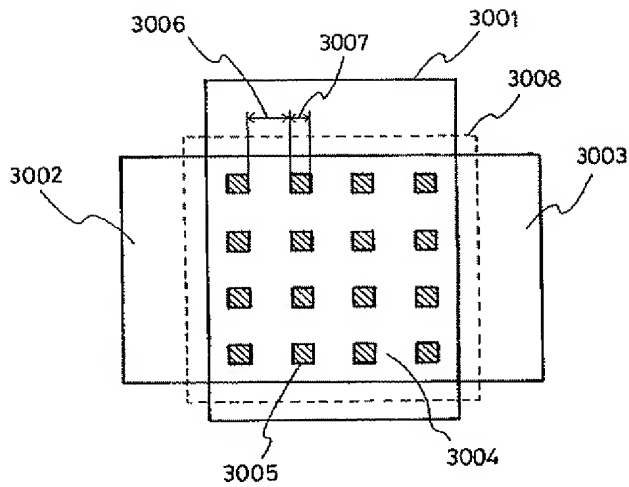
【図 3 0】



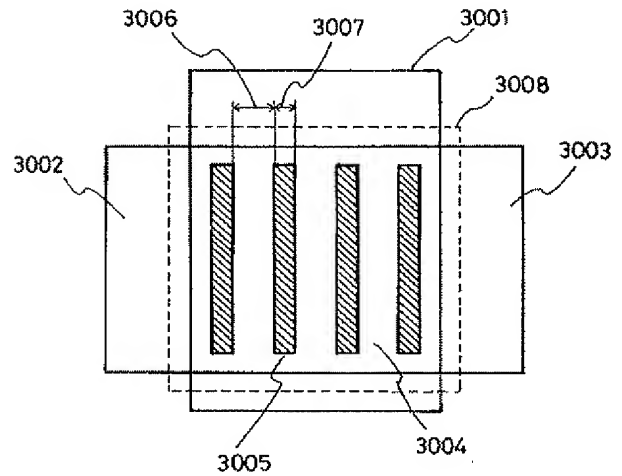
【図 3 2】



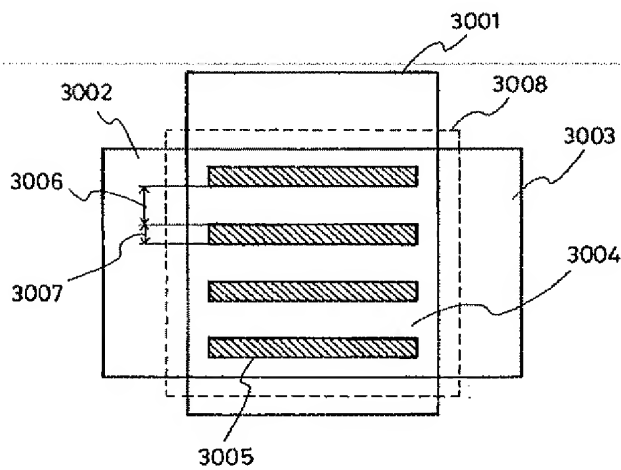
【図 3 3】



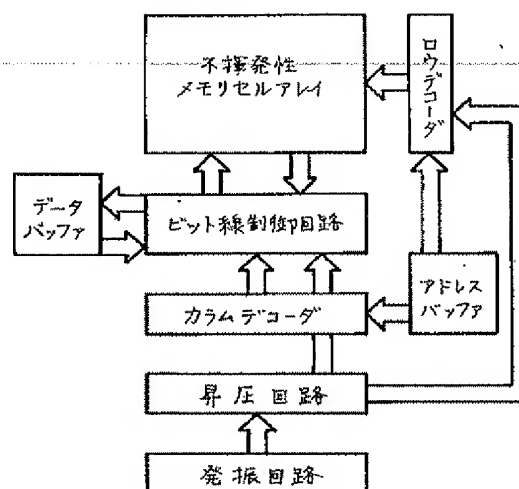
【図 3 4】



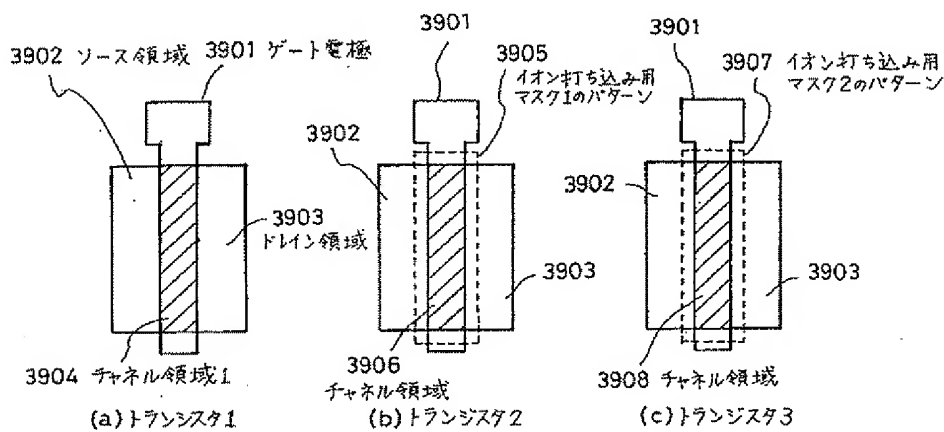
【図 3 5】



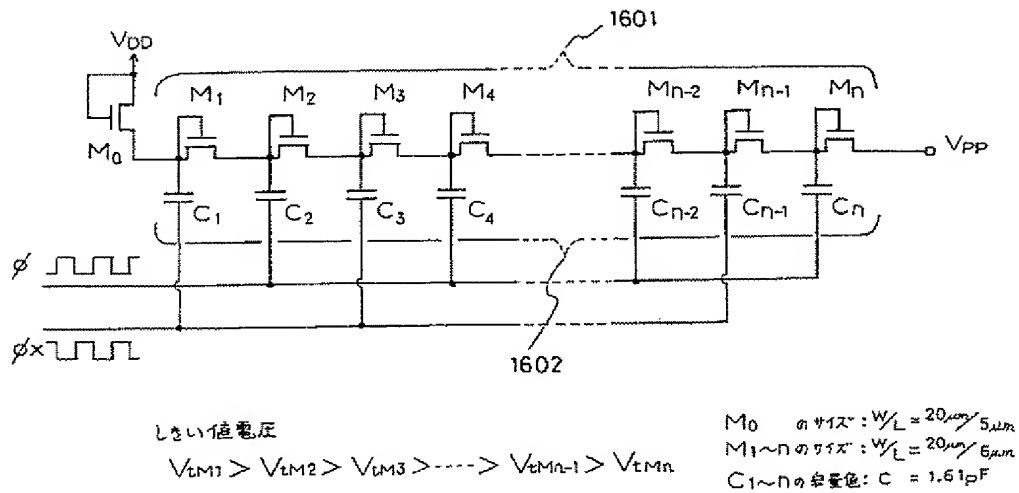
【図 3 7】



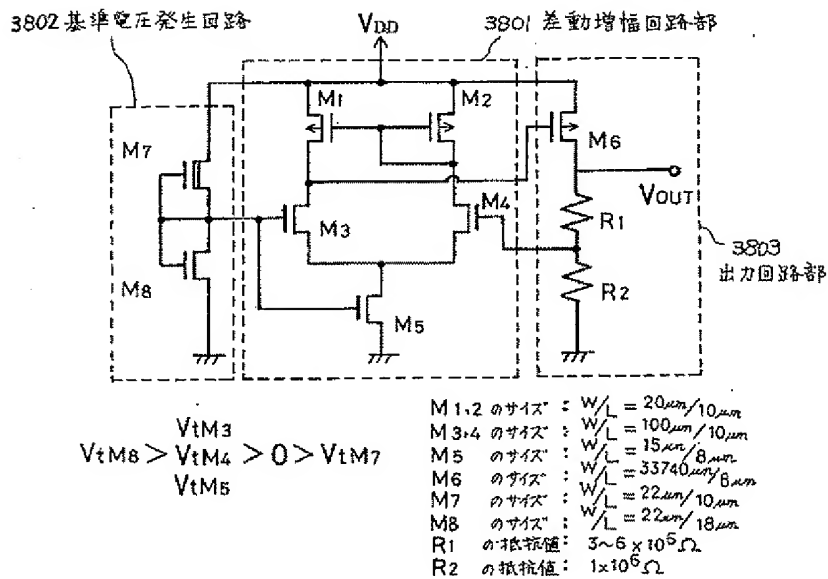
【図 3 9】



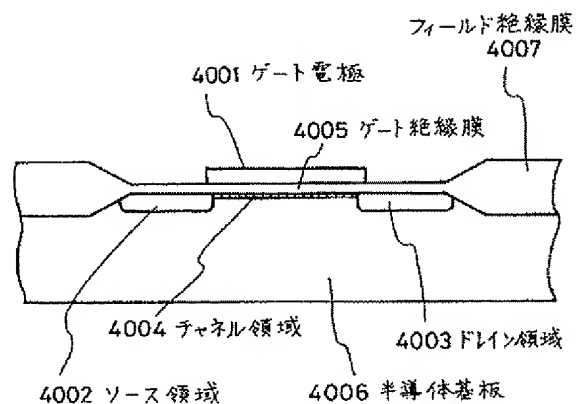
【図 3 6】



【図 3 8】



【図 4 0】



フロントページの続き

(72)発明者 小島 芳和  
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ  
イコー電子工業株式会社内

(72)発明者 清水 亨  
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ  
イコー電子工業株式会社内

(72)発明者 斉藤 豊  
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ  
イコー電子工業株式会社内

(72)発明者 町田 透  
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ  
イコー電子工業株式会社内

(72)発明者 金子 哲也  
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ  
イコー電子工業株式会社内